PATENT ABSTRACTS OF JAPAN

(11)Publication number:

09-036362

(43)Date of publication of application: 07.02.1997

(51)Int.CI.

H01L 29/78

(21)Application number: 07-185783

(71)Applicant: MITSUBISHI ELECTRIC CORP

(22)Date of filing:

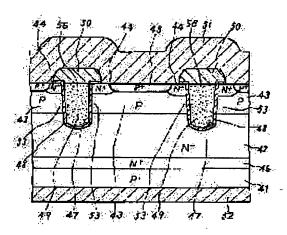
21.07.1995

(72)Inventor: TAKAHASHI HIDEKI

(54) INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND FABRICATION THEREOF (57) Abstract:

PROBLEM TO BE SOLVED: To improve SOA of an insulated gate type semiconductor device by making difficult for a parasitic transistor of an insulated gate type semiconductor device to turn ON.

SOLUTION: A parasitic bipolar transistor formed of N+ emitter region, P base layer and N- layer is set difficult to turn ON by providing P+ semiconductor layer 45 having impurity concentration higher than that of the N' emitter region 44 in such a manner that it overlaps with the end part adjacent to the N+ emitter region 44 of U type IGBT and in contact with the P base region 43 at the bottom part.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

30.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3384198

[Date of registration]

27.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(18)日本国特殊才 (JP)

(2) 公開特許公報(4)

(11)特許出關公司等号

特開平9-36362

(43)公開日 平成9年(1987) 2月7日

	a.			加配		連貫			To s						i de i	
						4M							2 D			
		778							17							
													8 C			
						IM										
													5 A			
						4M										

審空協会 未結束 禁水率の数14 OL (全28 頁)

2.		 2 1	2.2
Z	 	 	ь.

###7-185783

(22)田間日

平成7年(1996) 7月21日

(71) Hamid 000008013

三多电影模式会社

東京都千代田区丸の内二丁目2番8号

(72)発現者、高限 英樹

東京都子代田区31の内二丁目2巻3号 三

登电视标式会社内

(74)代理人,穿建王 高田 守 (9.4名)。

(50)(分別の名称) 遊島ゲート型半導体製造およびその製造方法

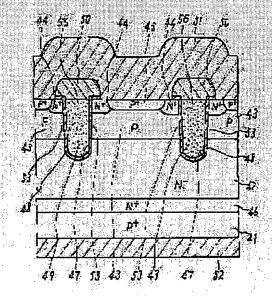
(57)【要的】

【課題】 絶続ゲート型半導体装置の容室ドランジスタをオンし降くすることにより、絶録ゲート型半導体装置のSOAを改善する。

【解決手段】 U型「GBTのN+エミッタ領域44の 議会する先端に重なるように、またPベース領域43と 感部で接触させで、N+>

エミジタ領域44の不動物造度

より高い不能物造度を有するP+半等体層45を設け、 エミッタ電極51とPペース領域43とをP・半等体層 45を介してコンタクトさせることにより、ドレンチピッチを小さくし、N+エミッタ領域4とPペース層3と、N-層2とから構成される寄生パイポーラトランジスタをオンし強くずる。



【特許表求の範囲】

【請求項:1】 第1と第2の主面を有する第1等電型の 第1の単級体層と。

この第1の半導体層の第1の主面上に配設された修不祥 物温度の第2等電型の第2の半導体層と

この第2の半等体層の表面に配設された第1等電型の第 3の半等体層と

この第3の半球体層の表面の一部に選択的に配設された 第2英電型の第4の半球体層と、

この第4の半導体層の表面においてこの表面に沿っ方向 に延長して関ロし上記第4の半導体層の表面から上記第 2の半導体層に達する深さを有する液形状の内壁と、

上記第3、第4の半導体層にわたってこれら半導体層の 表面に配置され、この第4の半導体層との接合が表面に 第出するとともに上記第4の半導体層の厚含よりも漢い 原面を有し、上記第4の半導体層の不均物温度よりも高 い不均物温度の第2等電型の第5の半導体層と

上記与重とこの内壁に連続する上記開口近傍の第4の半 等体層の表面とを覆う路縁数と:

この指辞限を介して上記内壁表面上に配表されるどとも に上記聞口込後の上記第4の半路体層表面に記読された 上記館採取表面より後述した表面を有する制御電優と 上記第9、第5の半路体層表面上に配象された第190至

電程と、 上記第1 の半導体層の第2の主面上に配設された第2の

主策権と3。を値えた経験ゲート型半導体装置 【語求項2】・上記簿形状の内壁が複数配数されるとと も「二、関係するこれら内壁相互同に配数された上記第5 の半等体層の露出面が内壁に沿って延在することを特徴 とする語来項(記載の経緯ケート型半導体装置。

(語求項3) 上記第50半導体層の露出面が離散的に 配設されたことを特徴とする語求項2記載の発揮ゲート 型半導体装置:

【語本項4】 第1と第2の主面を有する第1 英電型の 第1の半连体層と、

この第1の手塔体層の第1の主面上に配設された低不神 物温度の第2塔電型の第2の半塔体層と、

この第2の半準体層の表面に配設された第1英電型の第 3の半導体層と、

この第3の半導体層の表面の一部に選択的に配置された 第2段電型の第4の半導体層と

この第4の半等体層の表面においてこの表面に合う方向 に延長して関ロし上記第4の半等体層の表面から上記第 2の半等体層に達する漢さを有する溝形状の複数の内壁

この内壁に含って離散的に延在し、 隣接する上記入壁相 互間の上記第3、第4の半導体層にわたってこれら半導 体層の表面に配数され、この第4の半導体層との接合が 表面に露出する。上記第4の半導体層の不純物造度より も高し不純物造度の第2等電型の第5の半導体層と、 上記内壁とこの内壁に延続しこの内壁に沿って隣接する 第4の半路休息の一部表面とこの第4の半路休息の一部 に隣接する上記第5の半路休息の一部表面とを覆う絶縁 歴史

この終縁既を介して上記内壁表面上に配設されるととも に上記聞口近傍の上記第4の半路体別表面に配設された 上記結解既表面より移進した表面を有する制御委権と 上記第4。第5の半路体別表面上に配設された第1の主

上記名:の半導体層の第2の主面上に配数された第2の 主義権といる構えた絶縁ケート型半導体装置。

【諸求項5】 第1と第2の主面を有する第1英電型の 第71の半英体層と、

との第1の半導体層の第1の主面上に配設された的不純 物濃度の第2導電型の第2の半導体層と、

この第2の手等体母の表面に配致された第1等電型の第 3の手等体限と

この第3の半導体層の表面の一部に列状に並列して複数 配設された第8連電型の第4の半導体層と

この第4の年等体層の表面において上記第4の半等体層の列に合って延長する方向に関ロし、上記第4の半等体層の表面がら上記第2の半等体層に対する深さを有する 演形状の複数の内盤と

上記第3、第4の半等体層にわたってこれら半等体層の表面に配設され、この第4の半等体層との整合が表面に 露出するとともに上記第4の半等体層の厚さよりも選け 水面を有した上記第4の半等体層の不純物温度よりも高い い不純物温度の第2等電型の第5の半等体層と、

上記内壁それぞれとこの内里に連抜する上記間口近傍の 第4の手導体層の表面とを覆う絶縁限と。

この総縁既を介して上記内壁表面上に記載されるととも に上記聞口近後の土記第4の手等所用表面に記載された 上記路縁映表面より後述した表面を有する計画電極とい この軒面電極の上記表面上に記載された間間総縁映と、 上記第4、第5の半等休用表面上及び上記問間路縁映上 に配載された第4の主電極と

上記第1の半導体層の第2の主面上に配設された第2の 主電極上。を備えた絶縁ゲート型半導体装置。

【話录項句】 上記第5の手等体層が上記第4の手路体 2層(3合って確認的に配表されたことを特徴とず今話求項 5 記載の絶縁ゲート型半導体装置。

【請求項7】 第1と第2の主面を有する第1等電型の 第1の半等体限と、

この第1の半等体層の第1の主面上に配設された医不特 物温度の第2等電影の第2の半導体層と、。

この第2の半導体層の表面に配数された第1準電型の第 3の半導体層と2

この第3の半導体層の表面の一部に列状に並列して複数 配数された第2等電型の第4の手等体層と、

この第4の半導体層の表面において上記第4の半導体層

の列に合って延長する方向に関ロし、上記第4の半導体 層の表面から上記第2の半導体層に達する深さを有する 海形状の複数の内壁と。

上記第4の半導体層に沿って離散的に延在するとともに上記第3、第4の半導体層に力たってごれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出した。上記第4の半導体層の不転物造度よりも高い不純物造度の第2集重型の第5の半導体層と

上記内度それぞれとこの内壁に追称しこの内壁に沿って 隣接する第4の手葉体層の表面とこの第4の手壁体層に 近接する第5の半導体層の一部表面とを覆う路縁関と、 この始縁膜を介して上記内壁基面上に配設されるととも に上記間口近傍の上記第4の半導体層表面に配設された 上記線接取基面より後退した基面を有する制御報便と この制御報帳の上記表面上に配設された層間絶縁限と 上記第4、第5の半導体層表面上及び上記層間絶縁限と 上記第4、第5の半導体層表面上及び上記層間絶縁限上

上記第1の手導体層の第2の主面上に配設された第2の 主電径と、を備えた路像ゲード型半導体装置。

【詩求項8】 (第1と第2の主面を有する第1英電型の 第1の半項体限と、

この第1の半導体層の第1³の主面上に配設された低不純 物温度の第2準電型の第2の半導体層と、、

この第2の手塔林屋の表面「配設された第(塔里型の第 3の手塔林屋と、

この第3の半導体層の表面に上記第3の半導体層が露出する露出面を離散的に残して配款された第2等を型の第4の半導体層と

この第4の半球体層の表面においてこの表面に含う方向 に延長して関ロし上記第4の手等体層の表面が占上記第 2の半端体層に達する深さを有する演形状の内壁と、

この内壁と上記間口近傍であって上記内壁「連続する上記第4の半導体層及びこの第4の半導体層に関接する上記第3の半導体層の一部表面とを使う経験膜と、

この経緯限を介じて上記内壁を面上に配数されるととも に上記聞口近後の上記第4の半路体界を面に配設された 上記拾降跌表面より後退した表面を有する制御電極と 上記第3、第49手等体層を面上に配数された第4の主 電極と

上記第1の半導体層の第2の主面上に配数された第2の 主電板と、を備えた絶替ゲート型半導体装置。

【請求項9】 上記漢形状の内壁が複数配数されるとどもに、関数するこれら内壁相互間に上記第3の手導体層の露出面が配数され、この場出面が内里に3つて内壁の延長力向に配数されたことを特徴とする請求項8記載の 絶録ケート型半導体装置。

[請求項10] 第4 等電型の第4の半等体層の表面上 に低不純物造度の第2等電型の第2の半等体層が配数された平等体基板を形成する第1工程と、

上記第2の半導体層側の半導体基板の第1の主面に第1

英電型の不純物を注入し拡散する第2工程と、 上記第1の主面上にレジストを採用し、このレジストの 一部を選択的に残して除去レレジストパターンを形成 し、このレジストパターンをマスクとして第2英電型の 不純物を注入し、上記第2工程で形成された第1英電型 の第3の半等体層の表面に拡散する第3工程と、 上記第1の主面に連載版を形成し、この連載版の上記第 3工程で形成された第2英電型の第4の半等体層の表面 上の一部にこの連載版の表面に含う方向に延長した間口

3 工程で形成された第2 学報型の第4の半学体層の表面 上の一部にこの連款膜の表面に含う方向に延長した間口 を形成し、この間口を有する連載膜をマスクとして上記 第2の半導体層に達するまで半導体を除去し、その後こ の連載膜を除去する第4工程と

第4工程により形成された選形状の内壁の表面および上記第1の主面に移降性を形成する第5工程と 第5工程により形成された絶辞時上に上記内置が構成する選を建設するように準電体を終用する第6工程と、 第6工程により終わされた上記等電体を、上記内壁の構成する第6工程と、

面に形成された上記能線解の表面より後退するまで、上記第100主面の絶線限は残じて一使に除去する第7工程 と

第7工程により露出した土記第1の主面の施録既および上記等電体の表面上にレダストを接着し、上記第3工程におして選択的に残されたレジストに対応する傾向とこの領域に関係する上記第4の手導体層の一部表面とを国む色置に関口を形成し、この間口を有あるレジストパターツをマスクとして:上記絶解既を介して土記第4の手等体層の不純物温度よりも高い不純物温度で第1等重型の不純物を注入し、上記第4の半導体層の原さより達く証数し上記第3の手導体層と接続する第8工程と、第7工程により輩出した上記能録既および上記等電体の。表面上に能録せを接着する第9工程と、

第91程により転帰された指数が表面にしジストを住居としてこのレジストに上記第91程により形成された第1 基電型の第5の半導体層とこの第5の半等体層に構接する第4半等体層の一部とを囲む間口を形成し、この間口を有するレジストパターンをマスクとして、上記路軽が及び絶縁解を除去し、上記第5の半等体層と第4半等体層とを露出させる第10工程と

第10工程により露出した第4半端休息。第5の半端休 居及び絶保材表面上に基礎層を接層する第11工程と。 上記半端体基板の第2の主面上に基礎層を接層する第1 2工程と、を確えた絶縁ケート型半端体装置の製造力 法

【請求項11】 第1英電型の第1の年基体層の表面上 (二郎不祥物温度の第2等電型の第2の年降体層が配義された半等体壁板を形成する第1工程とこ

上記第2の半導体層側の半導体基板の第1の主面に第1 ・ 準電型の不純物を注入し拡散する第2工程と

上記第1の主面上にレジストを破局し、このレジストの

一部を列状に並列する也安の類写として残して除去しし ジストパターツを形成し、このレジストパターツをマス クとして第2等電型の不純物を注入し、上記第2工程で 形成された第1等電型の第3の半等体層の表面に拡散す る第3工程と

上記第1の主面に延載限を形成じ、この連載限の上記第 3工程で形成された第2巻電型の第4の半導体層の表面 上の一部にこの第4の半導体層の列に沿う方面に延長し た開口を形成し、この開口を有ずる速載限をマスクとして上記第2の半導体層に達するまで半導体を除去し、そ の後この連載観を除去する第4工程と

第7工程により露出した土配勢」の主面の絶疑既および上記等電体の表面上にレジストをは居し、上記第3工程において別状に残されたレジストの位置に対応する領域とこの領域に開発する上記第4の半等体層の一部表面とを囲む位置に関ロを形成し、この間口を有するレジストパターンをマスがとして。上記記録映を介して土記第4の半等体層の不独物遺法よりも高い不純物遺法であれ等電型の不純物を主入し、上記第4の半等体層の厚さよりまく拡散し上記第3の半等体層と接続する第8工程と、第7工程により露出した土記記録映および上記等電体の表面上記録録せを被滑する第9工程と

第9工程により依頼された的最け表面にレジストを接見 によってレジストに上記第9丁程により形成された第1 等電型の第5の半等後層とこの第5の半等体層に誘接する第4半等体層の一部とを囲む開口を形成し、この開口 を有するレジストパターンをマスクをして、上記部録け 及び循環脚を除去し、上記第5の半等体層と第4半等体 層とを露出させる第10工程と、

第110工程により参出した第4年等は7月、第50年等待 程及び他辞付表面上に等電景を検閉する第111工程と、 上記半等体基板の第2の主面上に等電景を検閉する第1 2工程と、を确また地路ゲート型半導体装置の製造方 ま

【請求項12】 上記第3工程において、レジストの一部を趣識的に列状に配置されがつ並列する複数の領域として残しレジストパターンを形成するとともに、上記第10工程において、上記内盤それぞれ(3合って隣接する第40半路休息の一部表面を除いて第5の半路休息と第4平路休息とある話求項11記載の結晶ケート型半路体

持者の製造方法。

【詩求項 7 2 】 第1 英電型の第十の半導体層の表面上 に低不純物過度の第2英電型の第2の半導体層が配設された半導体差板を形成する第1 工程と

上記第2の半等体層側の半等体差板の第1の主面に第1 等電型の不均物を注入し拡散する第2工程と、

上記名、の主面上にレジストを研習し、このレジストの一部を組設的に列状に配設されかつ並列する検験の領域として発しレジストパターンを形成し、このレジストパターンをマスクとして第2英電型の不純物を注入し、上記第2工程で形成された第1英電型の第3の手英体層の表面に収録する第3下程と

上記第1の主面に連載膜を形成し、この連載膜の上記第 3工程で形成された第2等電型の第4の半等体層の表面 上の一部にこの第4の半等体層の列に沿う方向に延長し た関ロを形成し、この関ロを有する連載膜をマスクとして上記第2の半等体層に達するまで手等体を除去し、その後この連載膜を除去する第4工程と

第4工程により形成された満形状の複数の内壁の表面および上記第1の主面に暗縁膜を形成する第5工程を、 第5工程により形成された結縁膜上に上記内壁が構成する済を建設するように英電体を接着する第5工程と、第6工程により味噌された上記英電体を、上記内壁の構成する海に理談された上記英電体の表面が上記第1の主面に形成された上記短標膜の表面より後述するまで、上記第1の主面の路線膜は残して一様に除去する第7工程

第7王信により登出した上記第1の主面の路段数および上記等条件の表面上にレジストを経界し、上記第3工程。 において列状に残されたレジストの位置に対応する領理とこの領域に践設する上記第4の手等体層の一部表面とを団ひ位置に関口を形成し、この間口を有するレジストがターンをマスクとして、上記路線限をかして上記第4の手等体層の不祥物造度で第1等。 電型の不祥物を注入し、拡散し、上記第3の手等体層と接続する第8工程と、

第71程により露出した上記略は取および上記塔電体の 表面上に絶縁状を発展する第91程と。

第9工程により低層された路縁が表面にレンストを使用し、このレジストに上記内盤それぞれに沿って降性する 第4の半導体層の一部表面とこの第4の半導体層の一部 に保接する上記第8工程により形成された第1等電型の 第5の半導体層の一部表面とを終いて第5の半導体層と 第4半等体層とを固む間口を形成し、この間口を育する レジストパターンをマスクとして、上記路縁が及び砲棒 駅を除去し、上記第5の半導体層と第4手操体層とを確 出させる第10工程と、

第1の工程により登出した第4年等体層。第5の半等体層及び使得付表面上に基準層を狭窄する第1十工程と、 上記半等体等板の第2の主面上に基準層を狭層する第1 2工程と、を備えた絶縁ゲート型半導体装置の製造方 学

【請求項14】 第1等電型の第1の半等体層の表面上 に修不性物温度の第2等電型の第2の半等体層が配置された半等体を仮を形成する第1工程と。

上記第2の半導体層側の半導体基板の第1の主面に第3 導電型の不純物を注入し拡散する第2工程と

上記第1の重面上にレジストをは層し、ごのレジストの一部を雑飲的に別状に配数されかつ並列する複数の領域として難しレジストバターンを形成し、このレジストバターンをマスクとして第2等電型の市時物を注入し、上記第2工程で形成された第1等電型の第3の半等体層の裏面に上記レジストが覆う第3の半等体層の第出面の一部が残るように拡散する第3工程と。

上記第1の主面に連載限を形成し、この連載限の上記第 は工程で形成された第2等電型の第4の半等体層の表面 上の一部にこの第4の半等体層の列に沿ろ方向に延長し た開口を形成し、この開口を有する連載限をマスクとして上記第2の半等体層に達するまで半等体を除去し、そ の指この連載限を除去する第4工程と、

第4工程により形成された消形状の内壁の表面および上 記第1:の主面に発験限を形成する第5工程と

第5工程により形成された修録映上に上記内壁が構成する る済を理論するように基準体を結局する第6工程と、

第5工程により秩度された上記等帳体を、上記内室の構成する第に理算された上記等帳体の表面が上記第1の主面に形成された上記路線の表面より後退するまで、上記第4の主面の発展駅は残して一枝に除去する第7工程に

第7工程により第出した上記館は畔および上記英電体の 表面上に妊娠付を破房する第8工程と

第9工程によりは得された記録け表面にレジストを依得 し、上記内量をわたれに沿って接接する第4の半項体層 の一部表面とこの第4の半項体層の一部表面に接接する 上記第3の手導体層の露出面の一部とを除いて第3の半 英体理と第4半導体層とを囲む位置に対応する間口を形 成1、この間口を有するレジストバタープをマスクとして で上記館は対及が路線両を接去し、上記第3の半導体層 とこの第3の半導体層に接接する第4半導体層の一部と を輸出させる第9工程と

第9工程により選出した第3の半導体層。第4の半導体 層及び修練材表面上に英电層を接層する第10工程と、 上記半導体差折の第2の主面上に英电層を接層する第3 1、工程と、を値えた終緯ケート型半導体延률の製造方

【発明の詳細な説明】

[1000]

【契明の屋する技術分野】この発明は経緯ケード型半歩 体装造及びその転換方法に関するもので、特にドレンチ MOSゲートを有する発線ケート型バイボーラトランジ スタの寄生ドランジスタをオンし難くして、Safe (persifing dies (以下SOA という) を広くしたデバイス構造とその製造方法に関するものである。

[0002]

[0004] 図25において1はP4コレクタ層、2は N-層:33はPベース層、4はN/エミッタ領域: 5はト レンチ、ちはゲート色縁棋シアはゲート毛を、8は帰間。 箱提取、9はNiバッフラ周、10はエミッタ電径パ1 1はコレクタ電極。12はチャネル領域である。 【00.05】 次に、IGBTの動作を説明する。エミ タ電伝ゴロとコレクタ電径11との間に所定のコレクタ 電圧Vなる。エミッタ電優すのとゲート電極7との間に 所定のゲート電圧VEEを印加する。すなわちゲートをオ ンすると、チャネル領域 1:2 がA型に反転しチャネルが 形成される。このチャネルを通じてエミック電板30か 6 電子がN-暦2に注入される。この注入された電子に、 よりRチュレクタ屋 1 どN-居2 どの間が頂バイアスさ れ。コルクタ電極 1-1 から Pナコレクタ層 1 およびN+バ ッファ尼9を経由してN-Reにホールが注入される。 この結果電学度変調によりN-層2の抵抗が大幅に低下 BYGBTの電流容量は増大するにこの時の1/GBTの コレクターエミッタ間の単圧は下がオン電圧(ない CE(SAT))である。

【00061 次に、「GBTのオン状態からオフ状態にまる陽には、エミッな乗儀:10とケート乗係えどの間に印加されていたケート乗圧V低をの以または違いイデスにする、すなわちが一トをオフすると、N型に反転していたチャネル領域1でかP型に戻り、エミッな乗儀10からの電子の注入が停止する。その後内・層2に事味されていた事子とホールはそれぞれコレクタ乗儀11、エミッな乗儀10へ抜けて行くか、または互いに再結合し活躍する。

【QDD7】でして「GBTのオン電圧の大半ば配圧保持に必要ない・居との実質的な抵抗で決まる。実質的な抵抗の原因の一つとして、「GBTを構成するMOSFETの電子供給能力がある。チップ表面に強く深い済

(ドレンチ) を形成し、その側壁にMO SFETを形成 するU型(GBTは、単位セル間隔をできるだけ輸小す るごとにより、このMO SFETの電子供給能力を高め るごとができる報道となっている。

[0008]

「発明が解決しようとする課題」一般に「GBTは、高電圧が印加された状態における連斯電流値が重素な電気的特性となり、連斯電流値は高いほどよい。この電気的特性がよいほどReviets elias Safe Uper sting 所 ea(以下、RBSのみという)が広くなることになる。一方、国とらに示されたU型「GBTはその構造がら明らかなようにNiエミッタ領域4とPベース層3をN-層をとから特成される寄生パイポーラトランジスタか存在する。この寄生パイポーラトランジスタかオンすると、もはやゲード電圧が低てはU型1、GBTを流れる電流を制御できなくなり、U型1、GBTが接続する。このため、RBSのみを広くするための一つの方葉として、寄生トランジスタをオンし舞くすることを目的として、トレンチケート構造でそのセルサイズを紹介した種々の構造が提案されている。

「10009」回27は特開昭50-25327.5号公報 「記載されている。従来の記録ケート型半導体認面の一 例の部分断面回である。回27において、13以半導体 差据、14以半導体参振13の第1の主面。15以中・ 機両である。他の符号は回24と同様である。そしてN ・エミッタ領域4間の8・構成15以、単にエミッタ電板 10のコンタクトを良くするためのもので、2円領域の 不能物造度以下+エミッタ領域の不純物造度より低くさ れている。

【自由101 この従来の経緯サート型手学体整置においては、N・エミッタ情報本を形成するアスクとソ型のなート電極スを形成するとののソ型体を形成するマスクとを同一にすることにより、マスク合わせを行なうことを各略し、とル間の寸法を耐小しているか。ケート電極アが手等体基板13の第1の主面14より空出しているので、エミッタ電優10セケート電極アとの間で周間絶縁、世日を確保しながら、なおかつハ・エミッタ領域4セドート領域15とのコンタクトをどるためには周間絶縁既日を形成するたののマスク合わせの理に許分なマージンを見込みN・エミック領域4を広めに形成することが出来となり。セル間の寸法を確定する際の経路になると

【00111 図29はこの従来側のコンタクトマージンを示した歴史図である。図28ではV弦のゲート電信がをトレンチ型のゲート電信がに換え、この時に必要ない。エミジ交換領4のマズクずれの差裕分(この場合はゲートコンタウトマージン)を示している。図29はUSP5.034785号公報に記載されている。もう一つの従来の経緯ゲート型半導体装置の一側の部分断面図である。この従来側は図28の従来側のゲートコンタウトマージンを無くすことにより、七川間隔を短縮しようとす

るものである。図2.9は DMO Sのパワドランジスタで、トレンチ接近のゲートを有している。このゲートを を7は半葉体基板1.3の第1の主面14より修復した表面を有している。1.5はゲース電優である。

【00+2】この構造ではゲート電極7の表面が半学体 差振13の第1の主面14より後退しているので、ゲー ト電極7を形成する際のマスクが不要となり、N・ソー ス種向16にマスク合わせのためのマージンを見込むことは必要ではなくなり、その分ドレンチビッチの短筋が可能となる。しかしながら、N・ソース領域15の変さはゲート電極7の裏面より深く形成することが必要である。従って内いN・ソース領域15の変さが変くなる。 N・ソース領域16は通常拡散工程により形成されるので、N・ソース領域15の拡放変をを使くすることになり、フス領域16の拡大であることになり、1・レンチビッチを増大させる原因となる。

【00131回30以この従来列のサイト拡散を示した 度大回で、「081に置き換えてある。回30以ゲート 电極7の表面をN・エミッ2領域4の表面より後退させ ったのに、N・エミッ2領域4の運さが深くなり、これが につれてN・エミッ2領域4の情方向拡散が増光し、エミッグ电極1のスピベース層3の療出面とN・エミッタが 領域4の表面とのコンタクトをとるためには、トレンチ とッチが大きくならずるを得ず、寄生トランジスタかす フしやすくなる。さらに、ま子の80人に関係する値と して、「0550かある。「05661以下のである。この150 (sat)が大きするると、物記した寄生トランジスタかす シル、1687の破壊に至る。

(00:14) この発明は上記のような問題まを解消する ためになされたもので、絶縁ゲート型半塔体装置の寄生 トランジスクをオンし難くすることにより、SOAを改 合したデバイス様法とその製造方法を提供することを目 他としている。

(0045<u>1</u>

【課題を解決すっための手段】この第1の発明に係る語 はケート型半導体装置は、第1と第2の主面を有する第、 「当電型の第1の半導体層と、この第1の半導体層の第 1の主面上に配置された断不相物濃度の第2等電型の第 2の半導体層と、この第2の半導体層の表面に配置された第1/基電型の第3の半導体層と、この第2の半導体層と、この第3の半導体層 の表面の一部に選択的に配置された第2等電型の第4の 半等体層と、この第4の半等体層の表面においてこの表面に沿う方向に延長して間口し第4の半等体層の表面が ら第2の半導体層に達する漢さを有すら減形状の内壁 と、第3、第4の半導体層にわたってこれら半導体層の 表面に配置され、この第4の半導体層との接合が表面に 露出するとともに第4の半導体層の厚さよりも違い底面 を有し、第4の半導体層の不軽物造度よりも違い底面 を有し、第4の半導体層の不軽物造度よりも高い不軽物 造度の第2等電型の第5の半導体層と、内壁とこの内壁 に連続する開口近傍の第4の半導体層の裏面とを覆う絶 縁敗と、この能解戦を介して内壁裏面上に配置されると ともに開口近傍の第4の半導体層表面に配置された絶縁 既表面より移通した表面を有する制御電優と、第4~第 5の半導体層表面上に配置された第1の主電優と、第1 の半導体層の第2の主面上に配置された第2の主電優 と、を備えたものである。

【0016】この第20発明にほる銃器ゲート型半導体 装置は「第10発明にほる経験ゲート型半導体装置において、清形状の内側が組販配配されるとともに、接接するこれら内側相互間に配設された上記第5の半導体層の 毎出面が内側に沿って延在するものである。

【GO 17】この第3の発明に任る経緯ゲート型半等体 装置は、第2の発明に保る経緯ゲート型半等体装置にお かて、第5の半等体層の露出面が離散的に配設されたも のである。

【①①18】この第4の発明に係る経緯ゲート型半端体 装置は、第1と第2の主面を有する第1等電影の第1の 半導体層と生この第1の半導体層の第1の主面上に配数 された低不純物温度の第2導電型の第2の半導体層と、 の第2の手導体層の表面に配設された第1導電型の第 ざの半導体層と この第3の半導体層の表面の一部に選 択的に配設された第2季電型の第4の半導体層と、この 第4の半等体層の表面においてこの表面に200万向に延 長して聞口し第4の手導体層の表面から第2の手導体層 に達する深さを有する消形状の複数の内壁とここの内壁 に沿って離散的に延在し、隣接する内壁相互間の第3、 第4の半塔体層にわたらでこれら半塔体層の表面に配数 され、この第4の半導体層との接合が表面に露出する。 第40年単体層の不純物造成よりも高し不純物造成の第 2英電型の第5の事等体層と、内壁とこの内壁に連続し の内壁に沿って隣接する第4の半洋体層の一部表面と この第4の半導体層の一部に議技する第5の手導体層の 部表面とを覆う絶縁限といこの絶縁限を介して内壁表 面上に記録されるとともに関ロ近傍の上記第4の手導体 **用表面に配設された絶縁映表面より後退した表面を有す** る制御電極とご第4、第5の手導体層表面上に配設され た第1の主義権とご第1の半導体層の第2の主面上に配 設された第2の主義値と、を備えたものである。

『0039』この第5の発明にほる経緯ゲート型半導体 装置は、第1と第2の主面を有する第1等電型の第1の 手等体層と、この第1の半導体層の第1の主面上口配置 された電不移物選集の第2等電型の第2の半導体層を この第2の半導体層の表面に配設された第1等電型の第 3の半導体層と、この第3の半導体層の表面の一部に列 域に並列して複数配数された第2等電型の第4の半導体 層と、この第4の半導体層の表面において上記第4の半 等体層の列口3分で延長する方向に関ロし、上記第4の 半導体層の表面から上記第2の半導体層に達する漢さを 有する演形状の複数の内壁と、第3、第4の半導体層に わたってこれら平等体層の表面に配数され、この第4の 平等体層との接合が表面に露出するとともに第4の平等 体層の厚さよりも浅い底面を有し、第4の半等体層の不 技物造度よりも高い不純物造度の第2等電型の第5の年 等体層と、内壁をれぞれとこの内壁に連載する間口近傍 の第4の手等体層の表面とを覆う絶縁膜と、この絶縁膜 を介して内壁表面上に配数される。とどもに関口近傍の第 4の手等体層表面に配数された絶縁膜表面より後退した 表面を有する結御電極と、この制御電極の表面上に配数 された層間絶縁膜と、第4、第5の半等体層表面上及び 層間絶縁膜上に配数された第1の主電極と、第1の手等 体層の第2の主面上に配数された第2の主電極と、多角 えたものである。

【0020】この第5の発明に任る経緯ゲート型半導体 装置は、第5の発明に任み経緯ゲート型半導体装置にお いて、第5の半導体層が上記第4の半導体層に沿って軸 数的に記読されたものである。

【ロウ21】この第7の発明に係る指揮ゲート型半導体 装置は、第1と第2の主面を有する第1学電型の第1の 半葉休屋といっの第1の半導休屋の第1の主面上に配設 された低不純物遺産の第2等電型の第2の筆等体層と、 の第2の半導体層の表面に配設された第1基重型の第 3の手写体層と、この第3の手導体層の表面の一部に列 伏に並列して複数配設された第2季電型の第4の半導体 **層と、この第4の手導体層の表面において第4の手導体** 層の列に沿って延長する方向に関ロし、第4の半等体層 の表面から第2の半導体層に達する深さを有する溝形状 の複数の内壁と、第4の手導体層に沿って離散的に延在 するとともに知う。第4の半些体層にわたってこれら半 等体層の表面に配数され、この第4の半等体層との接合 が表面に露出した。第4の半導体層の不践物温度よりも 名し不純物遺皮の第2等電型の第5の手等体層と、内壁 それぞれとこの内壁に連載しこの内壁に沿って繊接する 第4の半導体層の表面とこの第4の半導体層に近接する 第5の半学体層の一部表面とを覆う絶縁限と、この絶縁 製を介して内壁表面上に配設されるとともに関口近傍の 第4の半導体用表面に配設された絶縁膜表面より後退し た表面を有する制御電極と、この制御電極の表面上に配 数された層間絶縁膜と、第4、第5の手体体層表面上及 び層間絶縁終上に配設された第1の主電儀と、第1の手 学体層の第2の主面上に配設された第2の主電優と、を 備えたものである。

【0022】この第8の発明にほる絶縁ゲート型半等体 装置は、第1と第2の主面を有する第1等電型の第1の 半等体層と、この第1の半等体層の第1の主面上に配設 された低不純物濃度の第2等電型の第2の半等体層と この第2の半等体層の表面に配設された第1等電型の第 3の半等体層と、この第3の半等体層の表面に第3の半 等体層が輸出する露出面を建設的に残して配設された第 2等電型の第4の半等体層と、この第4の半等体層の表 面においてこの表面に沿う方向に延長して間口し第4の 年時体層の表面から第2の半時体層に達す方案さを有す 方塊形状の内重と、この内重と間口近後であって内重に 連続する第4の半時体層及びこの第4の半等体層に接接 する第3の半時体層の一部表面とを覆う時間限と、この 能縁限を介して内重表面上に配数されるとともに間回近 度の第4の半時体層表面に配数された絶縁限表面より後 退した表面を有する制御を極と、第3、第4の半時体層 表面上に配数された第1の主を極と、第1の半等体層の 第2の主面上に配数された第2の主要極と、を備えたも のである。

【00231 この第9の発明に係る結構ゲート型半導体 装置は、第8の発明に係る絶縁ゲート型半導体装置にお いて、消形域の内壁が複数配設されるとともに、隣接す るこれら内壁相互間に第3の半導体層の蘇出位が配設され、この露出面が内壁に沿って内壁の延長方向に配設されたものである。

【ロロ24】この第10の発明に任る略録ゲート型手達 体建置の製造方法はご第1等電型の第1の半等体層の表 面上に低不純物遺唐の第2導電型の第2の半導体層が配 設された平均体基板を形成する第1工程と、第2の半導 体層側の半導体萎振の第1の主面に第1導電型の不粧物 を注入し拡散する第2工程と、第3の主面上にレジスト を検見し、このレジストの一部を選択的に残して除去し レジストバターンを形成し、このレジストバターンをマ スクとして第2時重型の不財物を主入し、第2工程で形 成された第15年電型の第30年等体層の表面に拡散する 第3工程と、第1の主面に連載限を形成し、この連載限 の第31程で形成された第2塩電型の第4の半塩休屋の 表面上の一部にこの速故族の表面に沿っ方向に延長した 閉口を形成し、この閉口を有する遮蔽膜をマスクとして 第2の半導体層に達するまで半導体を除去し、その後。 の連集棋を総去する第4工程と、第4工程により形式さ れた消形状の内壁の表面および第1の主面に発酵を形 成する第5工程と、第5工程により形成された絶縁映上 に内壁が構成する溝を理設するように基準体を任雇する 第6工程と、第6工程によりは用された準備体を、内壁 の株成する派に埋設された基番体の表面が第1の主面に 形成された絶縁隊の表面より後退するまで、第1の主面 の始縁既は残じて一枝に除去する第7工程と、第7工程 により露出した第1の主面の発程限および基準体の表面 上にレジストを枝足じ、第3工程において選択的に残さ れたレジストに対応する領域とこの領域に関接する第4 の半導体層の一部表面とを囲む位置に関口を形成し の関ロを有するレジストパターンをマスクとして、 絶縁 駅を介して第40半導体層の不純物濃度よりも高い不純 物遺族で第一導电型の不純物を注入し、第4の半導体層 の厚さより強く拡散し第3の半塔休層と接続する第8工 程と、第7工程により露出した絶縁敗および卒を体の表 面上に絶縁材を後層する第9工程と、第9工程により後 周された経縁付表面にレジストを検視し、このレジスト に第8工程により形成された第1英電型の第5の半等体 層とこの第5の半導体層に隣接する第4半導体層の一部 とを囲む間口を形成し、この間口を有するレジストバタ 一ンをマスクとして、経縁付及び経縁映を発去し、第5 の半導体層と第4半導体層とを輸出させる第10工程 と、第10工程により産出した第4半導体層、第5の半 等体層及が経縁付表面上に基電層を検層する第11工程 と、半等体基板の第2の主面上に基電層を検層する第1 2工程と、を備えたものである。

[0025] この第11の発明にほろ絶縁ゲート型半導 体装置の製造方法は、第1等電型の第1の半導体層の表 面上に低不純物濃度の第2等電型の第2の半導体層が配 設された半導体基板を形成する第1工程と、第2の半導 体層側の半導体基板の第1の主面に第1等電型の不純物 を注入し拡散する第2工程と、第1の主面上にしジスト を結婚し、このレジストの一部を列状に並列する複数の 領句として残して除去しレジストバターンを形成し、こ のレジストン(ターンをマスクとして第2導電型の不)技術 を注入し、第2工程で形成された第1等電型の第3の手 学休息の表面に拡散する第3工程と、第1の主面に連載 既を形成し、この連載期の第3工程で形成された第2等 **电型の第4の半導体層の表面上の一部にこの第4の半導** 体層の列に合う方向に延長した閉口を形成し、この関口 を有する連載駅をマスクとして第2の半導体層に達する まで半導体を除去し、その後この連載膜を除去する第4 工程と、第4工程により形成された消形状の複数の内壁や の表面および第1の主面に絶縁棋を形成する第5工程 と、第5工程により形成された絶縁限上に内壁が構成す る法を理論するように英電体を検閲する第6工程と、第 ち工程によりは届された革電体を。内里の特成する海に 理論された英電体の表面が第1の主面に形成された絶縁 度の表面より後退するまで。 第1の主面の絶縁膜は残し で一種に栓去する第7工程と2 第7工程により露出した 多寸の主面の把様限および卒電体の表面上にレジストを 徐星じ、第3工程において列状に残されたレジストの位 置に対応する領域とこの領域に残接する第4の手導体層 の一部表面とを囲む位置に関口を形成し、この関口を有 するレジストパターンをマスタとして。 絶縁戦を介して 第4の半導体層の不純物造度よりも高い不純物造度で第 1 连電型の不純物を注入し、第4の手導体層の厚さより 法く拡散し第3の平等体層と接続する第8工程とご第7 工程により露出した絶縁度および姿を体の表面上に絶縁 材を秩度する第9工程と、第9工程により秩度された格 棒材表面にレジストを依存し、このレジストに第8工程。 により形成された第1、学電型の第5の半導体層とこの第 5の半燥休噌に味接する第4半導休層の一部とを囲む間 口を形成し、この関ロを有するレジストパターンをマス タとして、略縁材及び絶縁膜を除去し、第5の手楽体層 と第4半導体層とを露出させる第10工程と、第10工

保により露出した第4半峰体層、第5の半峰体層及び6 線材表面上に準電層を検層する第11工程と、半等体差 板の第2の主面上に準電層を映層する第12工程と、を 備えたものである。

【OO26】この第12の発明に保る路線ゲート型半導体装置の製造方法は、第110発明に保る路線ゲート型半導体装置の製造方法において、第3工程でレジストの一部を離散的に列状に配設されかつ並列する複数の領域として発しレジストパターンを形成するとともに、第10工程で内量でれておいる。工場接てる第4の半導体層の一部表面を除いて第5の半導体層と第4半導体層とを固むレジストパターンの間口を形成したものであるは

【日日27】この第13の発明に任る絶縁ゲート型半導。 体装置の製造方法は、第7等電型の第7の半導体層の表 面上に低不純物温度の第2英電型の第2の手塔体層が配 設された半導体基版を形成する第1工程と。第2の半導 休房側の手導体参振の第十の主面に第1導電型の不純物 を注入し拡散する第2工程と。第1の主面上にレジスト を検閲し、このレジストの一部を離散的に列状に配設さ れかつ並列する複数の領域として残し心ジストバターン を形成し、このレジストパターンをマスクとして第2章 重型の不純物を注入し、第2工程で形成された第15年 型の第3の半導体層の表面に拡散する第3工程と、第1 の主面に連載膜を形成し、この連載膜の第31程で形成 された第2座亜型の第4の半導体層の表面上の一部にこ の第4の半導体層の列に合う方向に延長した間口を形成 し沙この間口を有する連載鍵をマスクとして第2の手導 休息に達するまで半導体を除去し、その後この連戒財を 絵芸する第4工程と、第4工程により形成された無形状 の複数の内壁の表面および多りの主面に発酵数を形成す る第5工程と、第5工程により形成された距録限上に内 壁が構成する溝を埋設するように 革電体を結局する第6 工程と、第6工程により発展された革命体を、内里の様 成する港に埋設された準電体の表面が第1の主面に形成 された絶縁期の表面より後退するまで、第4の主面の絶 最限は残して一緒に設まする第7工程と、第7工程によ リ露出した第1の主面の絶縁映および季重体の表面上に レジストを祛湿し、・第3工程において列状に残されたし ジストの位置に対応する領域とこの領域に政権する第4 の半導体層の一部表面とを囲む位置に関ロを形成し、こ の閉口を有するレジストパターンをマスクとして、絶縁 映を介して第4の手導体層の不純物温度よりも高い不純 物温度で第1塔電型の不純物を注入し、拡散し、第3の 半導体層と接続する第8工程と、第7工程により露出し た絶縁限および革電体の表面上に絶縁けを結局する第9 工程と。第9工程により発見された発酵状表面にレジス トを徒居してこのレジストに内里それぞれに沿って保険 する第4の半導体層の一部表面とこの第4の半導体層の 一部に接接する第8工程により形成された第1季電型の 第5の半導体層の一部表面とを除いて第5の半導体層と

第4半等体層とを囲む間口を形成し、この間口を有する レジストバターンをマスクとして、絶縁材及び絶縁期を 除去し、第5の半等体層と第4半導体層とを露出させる 第10工程と、第10工程により露出した第4半等体 層、第50半等体層及び絶縁材表面上に等電層を結局す る第11工程と、半等体基板の第2の主面上に等電層を 後層する第12工程と、を構えたものである。

[0028] この第14の発明に任る矩撃ゲート型半導。 体装置の製造方法は、第1基電型の第1の半導体層の表 面上に低不純物温度の第2季電型の第2の半導体層が配 設された半導体基板を形成する第1工程と、第2の半導 休息側の半導体基板の第1の主面に第1等電型の不純物 を注入し拡散する第2工程と、第1の主面上にレジスト を徐星し、このレジストの一部を離散的に列状に配設さ れかつ並列する複数の領域として残しレジストパターン を形成し、このレジスドバターフをマスクとして第2度 电型の不純物を注入し、第2工程で形成された第1度電 型の第3の半導体層の表面にレジストが覆う第3の半導 休息の露出面の一部が残るように拡散する第3工程と 第1の主面に連載膜を形成し、この連載膜の第3工程で 形成された第2英重型の第4の半迭体層の表面上の一部 の第4の半球体層の列に335向に延長した関ロを 形成し、この第日を有する速蔵限をマスタとして第2の 半導体層に達するまで半導体を除去し、その後この連載 映を終去する第4工程と、第4工程により形成された海 形状の内壁の表面および第1の主面に絶縁膜を形成する 第5工程と、第5工程により形成された絶縁既上に内壁 が構成する法を理論するように導電体を結局する第5江 促と、第6工程により依易された英重体を、内壁の構成 する海に埋設された革命体の表面が第1の主面に形成さ わた移縁隊の美面より後退するまで、第1の主面の絶縁 禊は残して一枝に発去する第7工程と。 第7工程により 毎出した絶縁限および等乗体の表面上」。絶縁材を袪骨す る第8工程と、第8工程により終*見さ*れた距離材表面に じジストを挟層化と内壁をれぞれに沿って隣接する第4 の手導体層の一部表面とこの第470半導体層の一部表面 に隣接する第3の手導体層の露出面の一部とを除いて第 3の半導体層と第4半導体層とを囲む位置に対応する関 **」を形成し、この閉口を有するレジストバターンをマス** クとして絶縁は及び絶縁膜を除去し、第3の手導体層と この第3の半導体層に隣接する第4半導体層の一部とを 幸出させる第9工程と、第9工程により輩出した第3の 半導体層。第4の半導体層及び絶縁材表面上に導電層を 後層する第10工程と、半導体基版の第2の主面上に導 電層を接層する第11工程と、を通えたものである。

[0029]

[発明の実施の形態]

実施の形態1

図1はこの発明の実施の一形態である組織ゲート型半導体装置の 体装置の平面図である。以下絶縁ゲート型半導体装置の

一例として、心型1 GB丁を用いて説明する。 図2は図 1に示したU型」のBTの一部セルの部分平面図、図3 は図2に示した一部セルのA-A断面での部分断面図で ある。図2は図3のエミック電径51および層間絶縁映 50を取り除いた状態で描かれている。

[0030] BILENT SOLUTIONT, 31 は第1の主電優としてのエミッタ電優、32はゲート配。 質、33はゲートパッド、34は一部セルである。

【00.31】図2及び図3において、41は第1の半路。 体層としてのア・コレクタ層。4.2は第2の半導体層と してのN-層。43は第3の半導体層としてのPベース 層: 4·4は第4の半導体層としてのN+エミック領域: 4 5は第5の平塔体層としてのP/平塔休層、4.6はN/ パップラ眉:47 は沸形状の内壁で、この内壁47でト レンチが形成されている。4.8は絶縁限としてのケート 絶縁隊、49は制御電極としてのゲート電極、50は層 間絶縁限。5寸は第十の主電伍としてのエミッタ電極で 図1で示したエミック電極3、1の一部である。 52は第 2の主電低としてのコレクタ電低で53はチャネル領域 である。また図2において中部30で示じた2点領珠間の 領域Cは層間絶縁膜5つが覆う領域である。以下の実施 の形態においても同じ符号は同様の様成を示している。 【0032】ゲート経験限48は通常は無酸化限で多り O2 ゲート電極49はN型不純物がドープされたポリ シリコンである。層間延程度50はホロンとリンを含有 じたシリケートガラス XUTBP SG という)。エミッ 久電極 5.7。ゲート配数 3.2及びゲートバッド 3.3は5 で含有のATL(以下ATL)STというが、コレクタ電便。 5 2はAIMóNi Áv合金でそれぞれが成されている。 [0033] ゲート配数32はセルのゲード電極4.9と 接続されていて、ゲート電優4日からゲートバラドは3 までの経路のポリシリコン部分を少なくして。ケート電 権 49からゲートバット33までの毛気括抗を下げると ともに、未子の制御動作を未子全面で均一にする機能を 有している。

「OD34] この実施の形態のU型)GBTでは、P+ コレクタ層41の表面にN+バッファ層46か配数さ れ、このN・バッファ暦45の表面にN-暦42か配設さ れている。さらにこのN-B42の上にFベース層43 が記録されている。シアペース層43の表面にNtエミッ タ領域4.4か間隔をおいて帯状に配設され、このN+工・ ミック領域 44の帯状形状の長手方向に沿って、NIエ ミッタ領域44の表面からアベース層43を貫通しN-層48に達するトレンチ形状の内壁47か配数されてい

【0035】二つの内壁47の間で医接するN)エミン 夕領村44個王の間のアベース層43とN・エミッタ領 垣44との表面に、P+半導体層4.5がその底面をPペ ース層43と接触させ、その両側で一部N+エミッタ類。 は44と重なり、N・エミッタ領与44とP・半導体層4 ちとの接合が表面に露出するようにして形成されてし

【0036】通常P+半導体層45の不純物遺唐はN+工 ミッタ領域 4.4 の不純物造度よりも高く、N・エミッタ 領域440不純物濃度が1×(1018~1018) 程度と すると、P+半導体層45の不純物濃度はN+エミッタ領 頃44の不純物濃度の約2倍程度とし、2× (1018~) 1 019) 程度である。

【0037】内壁47には、ゲード絶縁膜48が配設さ n、このゲート絶縁膜4.8は内壁4.7の開口5.61に隣接。 するN/エミッタ領域 4.4の表面上まで形成されてい ろンケート路線膜 4/8 を介して内壁4.7で囲まれたトレ シチは、N+エミック領域45の表面の開口部までゲー ト電極49が理論されていて、ゲード電価49の表面は 内登47の開口5.5に隣接するN9エミッタ領域44の 表面上のゲート経緯膜48表面よりも後退して低く形成 されている

[0038] 図3においてはゲート電極4.9の表面とN tエミック領域 4:4 の表面とか同じ平面になっている。 ゲート電極49の表面はNYエミッタ領域44の表面よ りも更に後退してもよいが、チャネルを形成するために は、N+エミッタ領域 44 の原さよりも達く配置される とが必要である。ケード電腦49はゲート経緯膜49 を介してアベース層43の表面に対向し、このアベース。 居43の表面がチャネル領域53となる。

[0039]ゲート重任49の表面は骨間絶縁映5ので 度われており、この層間絶縁映50を介心で、N+エミッ シタ領国4、4及びP、7半等体層4、5か配置された妻子の 表面上にエミッタ電儀さりが配設されている。そしてN ・エミック領域4.5とPボース層43とがP・手塔体層4 ちを介してエミンタ亜係5つにコンタクトしている。ま た未子の表面上にはゲート電極49と接続されたゲート 配数32およびゲートバット33がNュニミッタ領域イ。 4及びP4半等体層45と発酵されて配合されている。 またP・コルクタ層4寸のもう一方の表面上にコレクタ 电径52か記録されている。

LOO401たとえば耐圧が2000V的の業子での各 部分の寸法を示すと、鼻子表面つまりP・半導体層4.5% の露出面またはNュエミッタ領域 44 の表面がらN-尼4 2上N+バッファ居46との境界までの厚さは約200 u m このN-暦42の不純物温度は5×1018c m-8、トレンチ状の内盤47 の間隔すなわちセル間隔が 的4umで、N・エミッタ領域45表面からの内壁47 の速さはわらいかである。N・エミッタ領域44の焦熱 とPベース層43との接合面の深さは、N/エミッタ領 耳44またはP+半球体層45の裏面からそれぞれ的1 pynである。Nリバッファ暦46の厚みは約10pync P+コレクタ層4・1の厚みは約3000mである。 【0041】次に動作について説明する。エミッタ電極

51とコレクタ電径52との間に所定のコレクタ電圧V

CEを、エミッタ電優5.1とゲード電極4.9との間に所定のゲード電圧 VEEを印加する、すなわちゲードをオンすると、チャネル積極5.3がN型に反転しチャネルが形成される。この手やネルを適してエミッタ電極5.1から電子がN屋4.3を採由してN-屋4.2に注入される。この注入された電子によりN*パッフヶ屋4.5を介してP*コレクタ屋4.1とN-屋4.2との間が月パイアスされ、コレクタ電極5.2からP*コレクタ屋4.1およびN*パップァ屋4.5を採由してN-屋4.2にホールが注入される。この結果電域を調によりN-屋4.2の抵抗が大幅に低下し1.6月.1の電流を全は増入する。

【0042】次に、「GBTのオン状態からオフ状態にする限には、エミッタ電優51とケート電像49との個に印加されていたゲート電圧V&を0Vまたは違ハイアスにする。すなわちゲードをオフすると、内型に反転していたチャネル領域5可がP型に戻り、エミッタ電優51からの電子の3人が停止し、P4コレク反居41からN-R42へのホールの3人も停止する。その後N-R4とご事後されていた電子どホールはそれぞれコレタタ電優52、エミッタ電優51へ抜けて行くが、または互いに再結合し消滅する、この際にP4半導体R45におけるホールの移動が容易になるので、スイッチング速度が増大する。

【①0.43】図4はこの発明の技式的部分断面図である。図4はこの発明のP3手塔体層45の作用を説明するためのもので、ケート最後49の表面は、N・エミッタ領域44の表面からN・エミッタ領域44の厚さの半分程度医い位置に形成されている。ケート最後49の表面が低く形成されると、N*エミッタ領域44の厚さも厚くする必要がある。N*エミッタ領域44は温学拡散により形成され、この厚さを厚くした場合、横方向拡散のたのに、トレジチ状の内壁47相互の間に配置されたN*エミッタ領域44の機模する先属が極めて近接して、くる。

【DO 44】 このためPX-ス領海43の露出面が低の て狭くなり。場合によればN・エミック領域4:4の隣接 する先端同士が接触し、Pベース領域 9.3の露出面が無 くなり、エミック電優ちょとのコンタクトを採ることが できなくなる種な事態になる。従来は、これを助くため には、トレンチ間隔を広くしていたのであるが。内盤4 7 相互の間に配置されたN2エミッタ領域44の隣接す る先端の間に、Pベース領域 43 とその序部で接触する ようにN・エミック領域44と一部重ねてP/半導体層4 5を設け、P)手集休留45とN・エミッタ領与44との 接合を素子表面にまて露出させることにより、Pン平塚〉 体層するとエミッタ重極51とのコンタクトを広ぐ確保 することができる。このためにN+エミッタ領域44の 隣接する先端が近接することに関してそれほどの考慮を 払わなくても、トレンチ間底を短縮することができる。 【0045】特にゲート電極49の表面がNIエミッタ

領域44の表面から後退した位置に構成された場合、N・エミッタ領域44を厚く拡散することが必要となり、トレンチ間隔を理解した場合N・エミッタ領域44の時候する先端同士が近接し、場合によっては接触することが起こり得るが、たとえN・エミッタ領域44の関接する先端が接触したとしても、N・エミッタ領域44を貫通してP・半導体層45を設け、P・半導体層45とPやベース領域43とを接触させることにより、P・半導体層45を介してPベース領域43とN・エミッタ領域43とをエミッタ電極51にコンタクトさせることが出来る。

【DO46】N・エミッタ領域44はPベース領域43 |こ拡散することにより形成されるので、N・エミッタ領域44の不利物造度はPベース領域43の不特物造度より高く、またP・半導体845はN・エミッタ領域44の産業する先端と重なるように拡散にて形成するので、P・洋学体845の不計物造度はN・エミッタ領域44の不計物造度より高くなければならない。

(OD47) もじP/半等体層45を先に形成しておいて、役(IP)半等体層45より高い不純物温度でN*エミング領域44な形成するとすれば、N*エミング領域44の関係する矢端や近接して、この実施の形態におけるP/半等体層45はN*エミング領域44に併布されてしまし、この実施の形態でにおけるP/半等体層45の値

[0048] 図5はU型1。GBTのトレンチビッチとオン電圧との関係を示すグラスである。図5に示されるように、U型1 GBJのトレンチビッチを引さくするほど、オン電圧が断係するU型19 BTの試特性がよくなることがわかる。

【OC49】以上のように、この実施の形態では、U型 「GBTのN+III、少久領域4.4の装接する先端に重な あようにして6+半域休息45を設け、P4半域休息4.5 とPX一ス領域4.3とを接触させることにより、III、少 2 電優51とPX一ス領域4.3とをP4半连休息4.5を 介してコンタクトさせ、トレンチピッチを小さくすることができオン電圧を低くすることができる。延いては素 子の上形高密度化や、信頼性の向上を図ることができる。

【0050】また。トレンチピッチを小さくすることに よりN・エミッタ領的4とPベース暦3とN-暦2とから 様成されるち生パイポーラトランプスをオプし煙くす ることができる。ずなわち、RBSOAにある1 GBT のオプ状態でも、通常のオン状態からオプ状態の動作と 同様に、ガー暦2 (N・バック)で程らが張りられているど きにはN・バッフで程ら) に書様された電子とボールは それぞれコレクタ電極11、エミッダ電極10人抜けて 行くか、または互いに再結合して音成する。

【ロロラコ】この場合、ホールがエミックを係10%後 ける時セルサイズが小さいと一つのゼルに抜けるホール の全は少なくなる。このホール電流は寄生パイポーラドランジスタのペース電流となるから、Pペース層3の電位がPベース層3とN・エミッタ領容4とのビルトインポテンシャル(一般にロッ6V)を越えると寄生パイポーラトランジスタはオンずることになる。

【GD52】しかしながら、このホール電流を少なくすることによって電圧降下が少なくなり、ドベース層3とN+エミッタ領域4とのビルトインボテンジャルにまし、 強くなり、寄生パイポーラトランジスタがオンしにくく なる、つまりRBSOAが広くなる。

【ロロ53】第1の発明のように構成された経緯ゲート型半路体を置は、第5の半路体層が第3。第4の半路体層にわたってこれら半路体層の裏面に配数され、第4の半路体層の厚さよりもほど底面を有しているので、第4の半路体層の厚さよりもほど底面を有しているので、第4の半路体層に関係があ第3の半路体層をかして第1の主義をによる第3の半路体層と第4の半路体層とのコンタクトを確保することができまれる。カルサイズを示さくすることができまれる。カルサイズを示さくすることができまれる。カルサイズを示さくすることができまれる。カルサイズを示さくすることができまれる。カルサイズを示さくすることができまれる。カルサイズを示さくすることができまれる。カルサイズを示さくすることができるとともに、寄生ドランジスタが起動し強くなり、ターンオブの際にはオブ出来る電流のが低下しない。従って消費を力が少なく、RBSのADに、信仰性の高い経緯が一下型半路体発度を提供することができる。

【ロの54】第2の発明のように構成された結構ゲート型半導体装置は、選形状の内壁が放致に設されるとともには、機能するこれら内壁相互間にあるの半導体層の酸出面が配設され、この露出面が内壁に沿って内壁の延長方向に配設されたので、制御電極が複数形成でき、またあらの半導体層の露出面を介して互口に関係する第4の半導体層を極めて近接させた場合でも、第5の半導体層を充分して第1の主電板による第3の半導体層と第4の半導体層とのコンタグトを確保することができる。従って、トルンチ間隔を狭くでき、小形高密度の絶縁ゲート型半導体装置を提供することができる。

[OD 55] 第5の発明のように構成された矩縁ゲード型半英体装置は、第4の半英体層があ5の半英体層を列状に決むとともにこの配列に合って複数の内壁を設けまさらに刺卵乗極の表面上に層間絶縁膜を配配し、第4、第5の半導体層を加上及び層間絶縁膜上に第1の主電機を配設したので、制御電極が複数形成でき、また第5の半導体層の最出面を狭く構成でき、層間絶縁膜のマスク合わせの余裕分を考慮しなくでも、第5の半等体層を介して第1の主電機による第3の半等体層と第4の平等体層とのコンタクトを確保することができる。このためドレンチ間隔を狭く構成でき、セルサイスを小さくすることができる。ばってオン母圧を修下できるとともに、寄生トランジスタが起動し難くなり、ターンオブの際にはオフ出来る電流値が低下しない。このため音楽電力が少なく、RBSOAが広くで信頼性が高く、小形で高密度

な伯縁ゲート型半導体装置を提供することができる。

【DOS6】太にこの実施の形態のU型(GBTの転換方法の一例を説明する。図5〜図14は各工程での素子を示す部分断面図である。まず、P・シリコン基版60 上にN・個61及びN-個62が原本エピタキシャル成長により形成される。次にN-個62の表面にP型不純物を注入し、アニールすることによりPオース個63を形成する(図5参照)。

【0057】大に、PA-ス層53の表面にレジストを 接層し、写真製版工程により、帯状間口を複数並列して 設けたレジストバターン64的形成され、このレジスト パターン64をマスクとしてPA-ス層53の表面にN 型不辞物を高速度に注入しアニールにより拡散しN・エ ミンタ領域65か形成される(図7季昭)、この後レジ ストバターン64を除去する。

【0058】この後Pベース層53及びN)エミッタ領 場55の表面上に連載度としての酸化度55を形成し この酸化度55でN・エミッタ領域55それぞれの表面 にN・エミッタ領域55より独い個で帯状の関ロを設け たシリコンエッチング用マスクが形成され、このタリコ ンエッチング用マスクをマスクとしてRIE(Reeo 上「Verlon Elloh (ne)によりエッチング を信じ、N・エミッタ領域55表面からN・層52まで食 通ずるトレンチ状の内壁57を形成する(図8参照)。 その後、医化度50をエッチングにより度差する。

【0059】大いてドレンチ状の内壁67の表面、6ペース層63の表面およびN*エミック領域65の表面2 発起膜としての外盤化膜68を形成し、この外壁化膜5 8の上に「導張体としての内型不負物がドープされたボ リッリコン69が発展された壁67により様成された第 を理念する(図9登職)。

(0050)次には考されたポリンジコン59を、内壁 67により様成された漢を理論するポリンリコン69の 表面がN・エミック領域65の表面上に形成された熱酸 化度68の表面より各項するまでエッチルックする(図) 10参照)。このエッチバックはポリンリコン59の表 面がN・エミッタ領域65の厚きよりも強くなければな 合ない

【005/13次に内壁67により構成された语を理論するポリシリコン55の表面上及び熱酸化酸58の表面上でレジストタルを保存し、写真観察工程により日本一ス層53の表面とこの日本一ス層53の表面とこの日本一ス層53の表面とこの日本一ス層53の表面とこの日本は「大きない」というでは、このレジストパターンをマスクとして、無酸化粧6日を介して甲型不評例をN*エミッタ領域55よりも高い不能物造質で注入し、熱処理工程によりN*エミッタ領域65の厚みより達く拡散し、日本一ス層53と原面で接触する日・半学体層71を形成する(図11を照)。この後レジストパターンを除去する。

【〇〇百2】次いで、内壁らてにより機成された消を理 数するボリシリコン69の表面上及び熱酸化解 69の表面上に控停材としての8PSG72を検閉する(図12 参照)、この後、8PSG72の表面上にレジスト73を検閉し、写真製版工程により、Pr半導体層71とこのP4半導体層71に酸漿し内壁57に36らで延在する Niエミッタ類域65の一部とを囲む間口をレヴスト73に形成してレジストパタージとし、このレジストパターツをマスグとして8PSG72と熱酸化限58とをエッチングし、内壁67で構成される域に理験されたボリッリコン69の表面上に層間暗導限72を形成する(図13参照)。この後レジストパターンを除去する。

【80.63】その後エッチングで露出じたド・半葉体 見 7.1とN・エミング 損対 5 5とが認論するように、ド・半 集体 見 7 1、N・エミング 損対 5 5とが認論するように、ド・半 集体 見 7 1、N・エミング 積減 5 5及び 冒部延接 限 7 2 が配設された ま子表面上に 3 年 局としての A 1 — 5 7 が 様 厚 され、エミング 年 係 7 3 と 内壁 5 7 で 様 成 き 力 る 簿 の ボリンリコン 6 9 に 接枝 さ れる ゲート 配数 と ゲート パ ッドとが 同時に 形成 さ れる (図 1 4 参照) 。 更に ア・金 板 5 0 の 表面 上に 英 電 層 と して の A 1 Mo N 1 A い 合金 が 校 閉 さ れコ レグ タ 電 係 7 5 が 形成 き れる に の よう な 製造 工程を 様 る ことに より、 この 実施 の 形空 の じ 型 1 、G B 不 を 安 面 に 製造する こど か で き &

【00541第十〇の発明のように移成された能録ゲート型半導体経営の製造方法は、第3の半導体層を発出面が狭くなったとしても第3の半導体層を介して第1の主張体層と数4の半導体層とのコンタタ」にを確保するととかできる経験ゲート型半導体装置を「複数な工程を用いず」、安価に製造することができる。

【OD 551 第 11の発明のように特別された辞録ゲート型半導体装置の製造方法は、層間記録関形成のためのマスク合わせの余裕分を少なくすることができな川間間を紹介した記録ゲート型半導体装置を、組建な工程無じに安価に製造することができない

[0056] 実施の形態2

「100.67〕図(9、図(5治よび図))において、この実施の形態のU型)のBTは、液状の内壁47相互間に形成されたN+エミッタ類頃44の平面形状が様子形がに形成されている。すなわち、P+単導体層45の露出面を挟んでN+エミッタ類頃44が帯状に並列されこのN+エミッタ類頃44の長面に関口を有する液状の内壁47がN+エミッタ類頃44の長手方向に沿って延

在され、この内壁に建設されたゲート電優49相互間の NJエミシタ領域44は互いに動語が55で繋がれ、こ の連語が55と交互にP(手塔体層45の露出面が配数 されている

【0069】 層間絶縁联50の領域ではゲードを後49 を買い、海球の内距47 日35 3 で議長するN・エミッタ 領域44 に及んでいるが、P・半等体層45の露出面に は及んでいない。

【0069】その他の部分の構成は実施の形態1のU型1GBTと同様である。N・エミック領域4年の平面形状をこのように様子形状に形成することにより、エミック電極51がN+エミッタ領域45とコンタクトするコンタクト領域を形成する際のマスクずれの条約分を考慮すると異が無くなる。すなわち、図13に示されたレジストパターンで3を形成する際にマスクずれの余約分を考慮する必要がなく、七川間隔を持くすることができるから、図2のようにN・エミッタ領域45を単にゲート電極49に沿わせる構成と比較して、七川の機細化が可能となる。またコンダクト領域を素子表面全体にバランス良く配置することができる。

[0070] 従って素子の高を度化が実現できてオン電 圧を低減でき、また各セルの動作特性を素子全体で均一 化を図ることができる。また、Niエミック領域4.4の 平面形状を接子形状に形成し、戸1半等休房45を設け ず、単にロベース領域43の露出面を設けた場合におい ては、N×エミッ次領域4.4の厚さが厚くなるに伴って。 権方台拡張によりN+エミッタ領域45の連結部55の。 値が広くなり、この連結部5.5直下を流れるホール電流 の量が多くなる。このボールがNュエミック領海4.4 と - ス領域43とN-層42とから構成される寄生バ イポーラトランジスタのベース電流となることから、こ の寄生パイポーラトランジネダをオンしやすくすること があったが、P+半導体層4.5を設けることにより》 連 措部55の幅方向の拡がりを挟くすることとなり。 寄生 バイボーラナランジスタのオンじかすさを放止すること ができる。延いてはRBSOAの低下を防止できる。

【007.11第3の発明のように接近された絶縁が一ト型半導体を置は、第5の半導体層の露出面が離散的に配数されたので、妖援する内側相互間の第5の半導体層の 露出面を離散的に分離する第4の半導体層の連結部により、第1の主電場による第3の半等体層と第4の半導体層と第4の半導体層とのコンダクトを確保できるから、トレンチ間隔を狭くてき、小形高密度の絶縁が一ト型半導体装置を提供することができる。

(Dロフ2)第6の発明のように接成された経験ゲート 型半等体装置は、第5の半導体層の露出面が離散的に配 設されたので、関接する内壁相互間の第5の半導体層の 露出面を分離する第4の半導体層の連結部は層間距解 により接張されないから、この第4の半等体層の連結部

によって第一の主張後による第3の手導体層と第4の手 塩体層とのコンタクトを確保できるので、 さらにトレン チ間隔を挟くでき、小形高密度の絶縁ゲート型半塔休装 置を提供することができる。 この実施の形態の製造工程 は、実施の形態1の動き工程と比較すると、N・エミッ タ領域65の製造工程のレジストバターンが相違し、P ペース層53の表面にレジストを狭層し、写真製版工程 により、複数並列し帯状間口とこの帯状間口を連結する 聞口を設け、レジストを離散的に列状に残したレジスト バターンを形成し、このレジストバタージ6.4をマスク としてP:ペース層 53 の表面にN型不純物を高温度に注 入しアニールにより拡散しN・エミック領域 6.5 を形成 するものである。また、実施の形態:1の製造工程と比較 して、ポリシリコン6.9をエッチバックした後、P・半・ **学体層ストを形成するさいのレジスドバターシの形状が** 異なり、N・エミック領域ららに離散的に形成されたP - ス層63の露出面に好なしてレジストに閉口が設け られこれをレジストバターンとして、不住物を注入し 無処理工程により拡散し。P→半導体層スコを形成する ものである。

「GT 73」第12の発明のように構成された結構ゲート型半等体装置の製造方法は、隣接する内壁相互間の第5の平等体層の發出面を分離する第4の半等体層の連結部が層間経経際により接覆されず、この第4の半等体層の連結部と第5の半等体層とによった。第1の主命程による第3の半等体層と第4の半等体層とのコンタクトを確保でき、セル間隔を構小した矩様ゲート型半等体装置を、複雑女工程無しに安価に製造することができる。

図 18 はこの発明の他の実施の一形記であるU型 1 G B T の部分平面図、図 1 9 は図 1 8 に示した一部 ビルの A 一 A 新面での部分断面図、図 2 2 は図 1 8 に示した一部 セルの B 一 8 時面での部分断面図である。図 18 はてミックをを5 1 および層間路候談ちのを取り除いた状態で指かれている。また中に弧で示じた 2 4 新発間の領域では層面路線隊5 9 がほう現るである。

【DD75】図 18、図 19、および図210において、この実施の形態のU型10日では、達球の内壁47間相互に形成されたが、エミック領域44の平面形状が属子形状に形成されている。 デしてこの実施の形態ではP+手) 等体層45を設けないで、P×-ス層43の露出面を内 全47間相互間のN+エミック領域44に、内壁47の 延長方向136つで離散的に設けたものである。

[ウロア6]。すなわち、Pヘニス層43の無出面を挟んていてミッタ領域44が依状に延列され、このNfエミッタ領域44の長手方向に沿って延在され、この内壁に埋設されたゲート電極49相互間のNfエミッタ領域44は互口に連結部55で繋がれ、この連結部5.5と交互にPペース層48の露出面が配設されている。

【〇〇77】層間絶縁映ちの領域ではゲート電像49 を覆い、海状の内盤47 (38って隣接するN・エミッタ 領域4名を覆いきらにこのN・エミッタ領域44に近接 するPベース層43に及んでいる。このため、エミッタ 電経51はN・エミッタ領域44の連結部55とPベー ス層43の露出面とに交互にコンタクトするとともに、 離散的に配列された連結部55相互間の、Pベース層4 3の露出面と海状の内壁47とに呼まれたN・エミッタ 領域44は層間絶縁映ちのに覆われてエミッタ電優51 とはコンタクトしない。このためPベース層43の露出 ロと海状の内壁47とに挟まれたN・エミッタ環域44 はエミッタ抵抗領域57となり、エミッタ電優にはエミッタ抵抗領域57となり、エミッタ電優にはエミッタ抵抗領域57となり、エミッタ電優にはエミッタ抵抗のはさまれたととになる。

【のの78】 次にこの実施の形態の動作について説明する。このようなPベース層々3の露出面と流状の物度47とに挟まれたエミンタ抵抗領地5でのエミッタ抵抗領地は小さいので定格電流程度の電流に対しては、このエミッタ抵抗領地57のエミッタ抵抗領地57が設けられてもVCE(sat)が変化しない程度のエミッタ抵抗領地57が設けられてもVCE(sat)が変化しない程度のエミッタ抵抗領地57を設定する。

【①〇79】しかしながら、VCE(sat)が変化しない、 程度のエミッタ形成であったとしても、 無路時のように 大電流が流れる場合には、エミッタ形成があればエミッタ領域44において主意圧弾下が生せる。 この電圧降下 は、Pベニス層43とエミッタ領域44との間の電圧差 を無くすように働く: つまり、N*エミッタ領域44と Pベース層43とN-層4ととから構成される寄生メイ ポーラトラッツスタのビルトインボデンシャル(一般に ロ、6 V)を迎えるのを理止するように働き、音主バイ ポーラトランシスタがオンセにく、くなる。 従ってR99 ○人が広くなる。

[0080] さらに、末子の破壊に結び付く電流特性として I C(saf)がある。例えば短絡時、つまり高電圧が印加されている状態で I GBT がオン状態になった場合。 I GBTに流れる電流は I C(saf)に依存する。短路時に発生する地は、

印加されている電圧×1 GBTに流れる電流×接絡時間 により決まる、この発生熱により1 GBTがある温度に 達すると、1 GBTが破壊する。

【ロロ 811 一方エミッな抵抗が存在すると」で(sr) のけさくなることが知られており、この実体の形理では、Pベース層 43の最出面と演状の内重 47とに挟まれたN・エミック領域 44 を層間経緯限 50で度るという簡単な構成でエミッタ接近領域 57 を形成し、エミッタ接近を設けることにより理格時の破場所任を向上させることができる。

【ロロ母2】第8の発明のように構成された絶縁ゲート 翌年等体装置は、絶縁寒が離散的な第3の手等体層を介 して配数された第4の手等体層のうちを回じるって誘接 する第4の半導体層とこの第4の半導体層に近接する第3の半導体層の一部とを関っているので、第3の半導体層を分離する第4の半導体層の連結部と第3の半導体層とが交互に第1の主義権とコンタクトし、第3の半導体層と内壁との間に挟まれた第4の半導体層は第1の主義をピコンタフトにないから、この部分が第1の主義をピコンタフトでないから、この部分が第1の主義をピコンタフトする第4の半導体層相互間の抵抗として作用し、第4の半導体層の領域で使圧降下を発生させるので、第4の半導体層の領域で使圧降下を発生させるので、第4の半導体層の領域で使圧降下を発生させるので、第4の半導体層の領域でを圧降下を発生させるので、第4の半導体層の領域でを圧降下を発生させるので、第4の半導体層の領域でを圧降下を発生させるので、第4の半導体層の高い発酵ケート型半導体験層を提供することができる。

【0083】第9の発明のように様式された絶縁ゲート 型半導体装置は、第3の半導体層が解接する内壁相互間 にこれら内壁に沿って雑数的に配設され、絶縁関が第3 の半導体層を介して配設された第4の半導体層のうち建 面に合って隣接する第4の半導体層とこの第4の半導体 屋に近接する第3の半導体屋の一部とを使っているの。 制御電径が複数形式でき、また第3の半導体層を分 雑する第4の半導体層の連結部と第3の半導体層とが交 互に第1の主義極とコンタクト以、第3の半導体層と内 建Eの間に挟まれた第4の半導体層は第1の主電極と クタクト しなじから、この部分が第1の主電優 とコンタ トする第4の半導体層相互間の抵抗として作用し、第 4の半導体層の領域で亜圧降下を発生させ、寄生パイポ ラトランジスタがオンしにくくなり、RBSOAが広 小形高密度で、信頼性の高い絶縁ゲート型半導体装 置を提供することができる。

【8084】「の実施の形造の製造工程は、実施の形態 2の製造工程とはP・半単体限 7 1 を形成する工程を有 時することと、層面暗疑限を形成する工程において任何 したレジストナ3に、内壁57に沿って延在するN*エ ミッタ類時65の一部とこのN*エミッタ領域555の一部が接するPベース層53の露出面の一部を除して、P ベース層63とN*エミッタ領域55の連結部とを囲む 閉口を形成じむジストパターンとする左で相違してい ることの第14の発明のように構成された絶縁ケート型 半導体装置の製造方法は、第3の半導体層の露出面を設 パ構成でき、第3の半導体層とフンタタトする第4の半 等体層相互間の抵抗として作用し、第4の半導体層の領 域で毎日降下を発生させる矩縁ゲート型半導体装置を複 強な工程無に製造することができる。

[OO85] ZMORE4

図21 は20発明の他の一実施の形態であるU型1 (3) B Tの部分平面図、図22 世図21に示した一部セルのA - A町面での部分町面図、図23 世図21に示した一部 セルのB-B町面での部分町面図である。図21 はエミック電係51 および層間絶縁既50を取り除いた状態で 撮かれている。また中括弧で示じた24類映画の領域で 世層間絶縁服50が類う頻響である。図21、図22 お よび回23において、この実施の形態のリ型!GBTは、清水の内盤47間相互に形成されたN・エミッタ積料44の平面形状が様子形状に形成されている。すなわち、P・手楽体層45の意出面を挟んでN・エミッタ積料44の帯状に並列され、このN・エミッタ積料44の表面に関口を有する済水の内盤47かN・エミッタ積料4の長手方向に36って延在され、この内壁に埋設されたゲート電振49相互間のN・エミッタ積料44は互いに連結部55で繋がれ、この連結部55と文画にP・半準体層45の雰出面が配設されている。

【QQ 86】 層間能は限50の領域ではゲート電極49を頂い、連状の内壁47、136って隣接するN+エミッタ 領域44を覆いさらにこのN・エミッタ領域44に近接するP・半等体層45に及んでいる。エミッタ電極57はN・エミッタ電極57はN・エミック領域44の連結部55とP・半等体層45の変出面とに交互にコンタ2トするとともに、超散的に配列された連結部55相互間の、P・3半等体層45の変出面と演状の内壁47とに挟まれたN・エミッタ領域44は層間能は限5つに覆われてエミッタ電極51とはコンタフトしない。

【DOB7】このたのP・半導体層45の露出面と接状の内壁47とに挟まれたドルエミック領域44はエミック抵抗領域57となり。エミック電極にはエミック抵抗がはさまれたことになる。そこで実施の形態3と同様に、定路時のように大電流が流れる場合には、このエミック括抗があればエミック領域44においても電圧は下が生しる。この電圧降下は、Pベース層43とエミック領域44との間の電圧差を無くすように働く。

【COBB】つまり、N・エミンタ領域44とPペース 層43とN-層42とから構成される変生パイポーラト ランジスタのビルトインボデンンセルに一般にD 5 V)。を超えるのを阻止するように動き、寄生パイポーラ トラッジスタがオンじにくくなる。往ってRBSOAが 広くなる。また、実施の形置3と同様によりC(sat)低 下させることができ、Pi4等体層45の露出面と演状 の内盤47にに挟まれたN・エミッタ領域44を層間強 健康50で覆分という簡単な様成でエミッタ抵抗領対5 イを形成し、エミッタ抵抗を設けることにより短絡時の 破壊配性を向上させることができる。

【GO 89】さらにこの実施の形態では、実施の形態のの特成におけるアベース層43の露出面にP・手等体層45か配設された様成にならでいる。このP・手等体層45か不純物温度はP・手等体層45の不純物温度はP・エミンタ領域44の不純物温度が1×(1018~1019)程度とすると、P・手等体層45の不純物温度はN・エミッタ領域44の不純物温度が1×(1018)で1019)程度とすると、P・手等体層45の不純物温度はN・エミッタ領域44の不純物温度の約2倍程度とし、2×(1018~1018)程度である。

[0090] N*エミッタ領域・4の形成工程における N*不技物の損力向拡散が、層間絶縁映5のの形成工程。 におけるケートコンタクトマーシンが十分とれない場合などはトレンチ状の内室 47 相互の間に配置されたN+エミッタ領域44の臓器する先端が係めて近接してぐる。これを選けるために対いトレンチ間隔を広くせざるを得なかったが、このような場合でも、N+エミッタ領域44の隣接する先端相互の間にP+半導体層45を設けることにより、P+半導体層45とエミッタ電極とを介してN+エミッタ領域44とPベース領域43とのコンタクトをとることができて、トレンチ間隔を狭く様成することができるから、寄生トランシスタをオンし難くするとともに、オン電圧を低くし業子の高密度化を図ることができる。

【G091】さらにこの実施の形態では、P4半等体層、45の拡散領域を拡け、P4半等体層45の変出面と排 、状の内壁47とに挟まれたN1エミッタ領域44を層間、 経緯限5,0で覆るという簡単な構成でエミッタ抵抗領域 57を形成し、特にエミッタ抵抗を設けるためのスペー スを確保する必要なしに、セルサイズを大きくせずに転 維持の破壊所性を向上させることができる。

[0092]法た、国22では中半等体層45がN*エミッタ福時44の厚さよりも減く形成されている。しかし、この実施の形態では、P*半等体層45とエミッタ電話とを介して行なるN*エミッタ領域44とPペース。 横543とのコンタフトは、P*半等体層45の露出面と海状の内型47とに挟まれたN*エミッタ領域44の連結部55で行なっているので、P*半等体層45の露出面と海状の内型47とに挟まれたN*エミッタ領域44の連結部55で行なっているので、P*半等体層45の露出面と海状の内型47とに挟まれたN*エミッタ領域44がP*半等体層45を形成する陽の横方向拡散で狭くなっても、エミッタ抵抗策時57を形成する程度に形成されていればよいから、横方向拡散を考慮してP*半等体層45の拡散深さをN*エミッタ領域44のP*半等体層45の拡散深さをN*エミッタ領域44のP*半等体層45の拡散深さをN*エミッタ領域44のP*半等体層45の拡散深さをN*エミッタ領域44のP*半等体層45の拡散深さをN*エミッタ領域44のP*半等体層45の拡散深さをN*エミッタ領域44のP*半等体層45の拡散深さるN*エミッタ領域44のP*半等体層45の拡散深さるN*エミッタ領域44のP*半等体層45の拡散深さるN*エミッタ領域44のP*上は出来を対象に対したというに対した。

【GD 9 3】第4の発明のように構成された絶縁ケート型半等体装置は、絶縁関か内壁とこの内壁に沿って降援する第4の半等体層の一部表面とこの第4の半等体層の一部に関する第5の半等体層の一部表面とを摂っているので、関接する内壁相互間の第5の半等体層とが交互にある第4の半等体層の通信部と第5の半等体層とが交互に第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトを3第4の半等体層相互間の抵抗として作用し、大電波が流れたときに第4の半等体層の領域で電圧降下を発生され、第生れイボーラトランジスタがオンしにくくなり、RBSSAか広く、小形高密度で、信頼性の高い倍降が一ト型半等体装置を提供することができる。

【10094】第7の発明のように様式された絶縁ゲート型年塔休磋園は、船縁度が隣接する内室相互間の離散的な第5の半塔休屋を介して配数された第4の半塔休屋の

うち壁面に沿って隣接する第4の半球体層とこの第4の半球体層に近接する第5の半球体層の一部とを頂っているので、第5の半導体層を離散的に分離する第4の半導体層の連結部と第5の半導体層と内壁との間に接まれた第4の半導体層は第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトする第5の半導体層は回間の抵抗として作用し、大電流が流れたときに第4の半導体層の領域で電圧降下を発生させ、寄生パイポーラトランジスタがオンしにくくなり、RBSOAの広く、またセルサイズを大きくせずに短路時の破壊時性を向上させることができ、小形高密度で、信頼性の高い距離ゲート型毛導体装置を提供することができる。

[0095] 図24及び図25ばこの実施の形態の多工 侵での妻子を示す部分新面図である。この実施の形態 の転售工程は、実施の形態1の転售工程のNiエミンタ 領域5.5の製造工程のレジストパターンが相違すること と、図13に示された層間結解数を形成する工程のレジ ストパターンが異なり、他の工程は同様である。 まなわ ち、アベース層も3の表面にレジストを狭層だ。写真製 版工程により、複数並列し帯は関ロとこの単は関ロを達 **詰する間口を設け、レジストを離散的に列状に残したし** ジストパターンを形成し、このレジストパターン5:4 を スクとしてアベース層の3の表面にN型不能物を高温 度に注入しアニールにより拡散しNIエミック領域6.5 を形成するものである。また、R・半導体層で1を内壁 5.7に拾ってN+エミッタ領域6.5の連結部と交互にな るように形成した後、内壁・57により構成された滞を埋 設するポリシリコン69の表面上及び熱酸化度68の表 面上にもPSGス2を転居し、BPSG72の表面上に レジストプロを移居し、写真製版工程により、内壁67 に沿って延在するN・エミッタ構成ら5の一部とこのNi エミッタ領域65の一部に近接するドチ半学体層で1つ - 部を除いて、 P + 半连体層7・1 と N + エミッタ領域 5 5 の連結部とを囲む関ロをレジスト7.3に形成じてレジス トバターンとし、このレタストバターンをマネクとして BPSG72と純酸化粧58とをエッチングし、内壁6 7 で併成される溝に埋設されたポリシリコン59の表面 上に層間地段映了2を形成する(図24季期)。この後 レジストバターンを除去する。

【G096】 その後エッチングで露出した。ド・半等体層フリンド・エミッタ領域6550万倍後するように、ド・半等体層フリート・フタ領域65及び層間絶縁既720匹数された素子表面上に延慢局としてのAIIIの砂を層され、エミッタ機械73と内側67で構成される流のボリシリコン69に接続されるケート配換とケートパッパとの同時に形成される(図 2.5表稿)。

【0097】更にP・基板60の表面上に準电層としてのA1MoN (Au合金の技層されコレクタ電価7 5が形成される。このような感性工程を採ることにより、この実

随の形態のU型:GBTを安価に製造することができる。またこの製造工程の説明では、P+年降休局、T1の形成を実施の影響:と同様としているが、生に説明したように、この実施の影態の構成においては積方向拡散を考慮してP+年降休局45の拡散深さなが・エミック領域44の厚きよりも達く形成しておくことは必ずしも必要ではないので、製造工程においても発度化限68を介してP型不同物をN*エミッタ領域65よりも高い不経物、造度で注入し、熱処理工程によりN*エミッタ領域65。の厚みより深く拡散し、Pペース層63と底面で接触するP:年降株局71を形成しても複わない。

[0098]第13の発明のように特成された経緯ゲート型半等体装置の製造方法は、第5の半等体層と内型との間に注まれた第4の半等体層が第1の主电量とコンタフトする第4の半等体層相互間の抵抗として作用し、大電流が変れたときに第4の半等体層の領域で電圧降下を発生させるため、寄生バイボーラトランジスタがオンしにくくなり、RBSDAが広く、小形高密度で、信頼性の高い経緯がテト型半等体装置を推進な工程無にに製造することができる。ところで、上記試明ではこの発明をNチャネルのU型」のBTにコいて説明してきたが、PチャネルのU型」のBTにコいて説明してきたが、PチャネルのU型」のBTにコいて説明してきたが、PチャネルのU型」のBTにコいて説明してきたが、P

[0099]

「完明の効果」この芸明は以上説明したように構成されているので以下に示すような効果がある。 第1の発明のように構成された発酵が一ト型半路体験置は、第5の半路体層が第3、第4の半路体層とが接続されているので、第4の半路体層と第3の半路体層とが接続されているので、第4の半路体層と第3の半路体層を介して第1の主張をによる第3の半路体層と第4の半路体層を介して第1の主張をによる第3の半路体層と第4の半路体層とのコンタットを確保することができるから、セルサイズを小さくすることができ、オン乗圧を低下できるとともにで、毎生セランジスタが起動し強くなり、ターシオフの際にはオア出来る電流値が低下じない。位当で頂き電力がが多く、尺限50人の広ぐ、信頼性の高い路縁が一ト型半路体を置を提供することができる。

「ロ1001第2の発明のように構成された結構なテート型半年体を置け、排形状の内壁が複数配数でき、第5の半導体層の露出面が内壁に沿って内壁の延長方向に配数されているので、第5の半導体層の露出面を介して第1の主電器による第3の半導体層と第3の半導体層と第3の半導体層とのコンタクトを確保することができる。従って、ドレンチ間隔を傾くでき、小彩高密度の結論が一ト型手単体装置を提供することができる。

[ロ101]第3の発明のように構成された経緯ゲート型半導体装置は、第5の半導体層の露出面が離散的に配設されたので、隣接する内壁相互間の第5の半導体層の露出面を離散的に分離する第4の半導体層の連結部にお

いても、第1の主電磁による第3の半導体層と第4の半 、塩体層とのコンタクトを確保できるので、トレンチ間隔 を接くでき、小彩高密度の絶縁ゲート型半導体装置を提供することができる。

【0102】第4の発明のように格成された色緑ゲート型半導体装置は、展接する内閣相互間の第5の半導体層を分離する第4の半導体層の連結部と第5の半導体層とが交互に第1の主電極とコンタクトし、第5の半導体層と内壁との間に採まれた第4の半導体層は抵抗として作用し、大電流が流れたとき第4の半導体層の領域で電圧輝丁を発生させるので、寄生パイポーラトランジスタがオンしにくくなり。RBSOAが広く、小形高密度で、信頼性の高い記録が、ト型半導体装置を提供することができる。

(01031第5の発明のように構成された経緯ゲード 型手集体建画は 第4の半集体局と第5の半集体局とが 列状に配列され。この配列に沿って複数の内盤を設け さらに制御電極の表面上に周間路経験を配数したので、 制御電極が複数形成でき、周間絶縁限のマスク合わせの 余緒分を考慮せずにドレンチ間隔を狭く構成でき、セル サイスを小さくすることができる。ほってオン電圧を低い 下できるとともに、寄生ドランジスタが起動し難くない。このたの消費電力が少なく。RBSOAが広ぐて信 類性が高く、小形で高密度が発揮ゲート型半導体装置を 提供することができる。

【0.1.04】第50発明のように格成された結構ゲート 型半導体装置は、関連する内壁相互間の第5の半導体層 の露出団を離散的に分離する第4の半導体層の連結部に おいても、第31の主要極による第3の半導体層と第4の 半導体層とのコンタクトを確保できるので、さらにトレ ンチ間隔を挟くでき、小形高密度の絶縁ゲート型半導体 装置を提供することができる。

[01051 第7の発明のように構成された距離ゲート型半準体装置は、第3の半準体局を進設的に分離する第4の半導体層の連結部と第5の半導体層とが交互に第10主電機とコンタクトに第31た第4の半導体層は第1の主電機とコンタクトにないが5、この部分が第1の主電機とコンタクトにないが5、この部分が第1の主電機とコンタクトする第4の半導体層相互間の移動として作用に、大電流が流れたとき第4の半導体層の領域で電圧降下を発生させるので、第生バイボーラドランジスタがオンじにくくなり、RBSO人が広ぐ、またセルザイスを大きくせずに反路時の破壊的技を向上させることができ、上形高密度で、信頼性の高い距録ゲート型半導体装置を提供することができる。

[0105] 第8の発明のように構成された経線ゲート型半路体験団は、第3の半路体層の露出面が離散的に配設され、第3の半路体層を分離する第4の半路体層の連結部と第5の半路体層とが交互に第1の主電器とコンタ

クトレ、第3の半塔体層と内壁との間に挟まれた第4の 半塔体層は抵抗として作用し、大電流が流れたとき第4 の半塔体層の横切で電圧降下を発生させるので、寄生パイポーラトランジスタがオンレにくくなり、RBSOA が広く、信頼性の高い絶縁ケート型半塔体装置を提供することができる。

[01 07] 第9の発明のように構成された絶縁ゲード 型半導体装置は、満形状の内壁が複数配器でき、第3の 半端休息が隣接する内壁相互間にこれら内壁に沿って離 歌的に配設され、絶縁敗が第3の半導体層を介して配設 された第4の手塔体層のうち壁面に沿って隣接する第4。 の半導体層とこの第4の半導体層に近接する第3の半導 休息の一部とを覆っているので、制御電極が複数形成で き、また第3の半導体層を分離する第4の半導体層の連 結惑と第3の半導体層とが交互に第1の主電極とコンタ クトし、第30半等体層と内壁との間に挟まれた第4の 半球体層が築すの主電低とコンタクトする菓子の半等体 層相互間の抵抗として作用し、第3の手等体層の露出面 が狭くなったとしても第5の平導体層を介して第1の主 电径による第30手導体層と第4の半導体層とのコンツ クトを確保することができ、大電流が流れたときに第4 の半塔体層の領域で乗圧降下を発生させるから、毒生が イポーラトラッジスタかオンしにくくなり。 RBSOA が広く、小形高密度で、信頼性の高い節様ゲート型手等 体装置を提供することができる。

【0108】第100発明のように務成された発展ゲート型半導体装置の製造方法は、第3の半導体層の露出面が使くなったとじても第5の半導体層を介して第1の主電幅による第3の半導体層と第4の半導体層とのコンタフトを確保することができ、消費電力が火なく、RBSの人が広く、信頼性の高い発酵ゲート型半導体装置を推進な工程なりに安価に製造することができる。

【0109】第110発明のように接成された絶縁か一ト型年度体験者の配言方法は、層間絶縁関形成のためのマスクらわせの金裕分を少なぐ、セル間隔が強小でき、 指義电力が少なく、RBSOAが広ぐ、信頼性の高い絶縁ゲート整手等体験者を複雑な工程なりに安価に製造することができる。 に安価に製造することができる。

[01110]第12の発明のように構成された結果ゲート型半導体装置の製造方法は、隣接する内壁相互間の第5の半導体層の露出面を分離する第4の半導体層の連結器が周間距隔限により接張されず、この第4の半導体層の連結部と第5の半導体層とによって、第1の主電幅による第3の半端体層と第4の半端体層とのコンタウトを確保でき、セル間隔を部小した矩段ゲート型半導体装置を、複数な工程無しに安価に製造することができる。

【6111】第13の発明のように核成された絶縁ゲート型手導体装置の動き方法は、第5の手導体層と内壁と の間に注まれた第4の手導体層が第1の主義優とコンタ クトする第4の半導体層相互間の抵抗として作用し、大 電流が流れたときに第4の半導体層の傾向で電圧降下を 発生させるため、寄生パイポーラドランジスタがオンし にくくなり、RBSOAが広く、小形高密度で、信頼性 の高い経降ゲート型半導体装置を複雑な工程無しに動造 することができる。

【0112】第14の発明のように構成された絶縁ゲート型半導体装置の製造方法は、第3の半導体層の輸出面を紋く構成でき、第3の半導体層と内壁との間に挟まれた第4の半導体層が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、大電流が流れたときに第4の半導体層の領域で電圧降下を発生させるため。寄生バイボーラトランジスタがオンじにくくなり、の。寄生バイボーラトランジスタがオンじにくくなり、アピミのAが広く、小形高密度で、信頼性の高し発足がアート型半導体装置を複雑な工程無しに配置することがでまる。

(図面の簡単な証明)

【図 t.】この発明の実施の一形態である結構ゲート型半 等件装置の平面図である。

[図2]、この発明の距録ゲート型半導体装置の一部セル の部分平面図である。

【図3】この発明の絶縁ゲート型半導体装置の一部セル の人一A断面での部分断面図である。

【図4】この発明の技式的部分断面図である。

(図5) U型) G&Tのドレンチピッチをオン竜圧との 関係を示すグラフである。

[図5]、この発明の始終ゲート型半導体装置の報告工程の表子の部分断面図である。

[図7] この発明の経路ゲート型半等体製造の転送工程 の素子の数分断面図である。

[図8] この発明の連続ゲート型半等体装置の製造工程 の素子の部分断面図である。

(図9)この発明の路路グート型半導体装置の製造工程。 の素子の部分断面図である。

○[図 1 0]。この発明の絶縁ゲート型半導体装置の製造工 作品の表子の部分断面図である。

【図1.1】この発明の治録ゲート型半導体装置の製造工 健の表子の部分財団図である。

【図 1.2】この発明の組織ゲート型半塔体装置の製造工 「程の余子の部分財団図である。

【図 1 3】この発明の絶縁ゲート型半度体装置の製造工・ 環の素子の部分断面図である。

【図 1 4】この発明の結解が一十型半導体装置の製造工 /程の未子の部分断面図である。

【図 1 5】 この発明の他の実施の一形法である記録ゲート型半端体装置の部分平面図である。

【図16】この発明の他の実施の一形型である能操が一ト型手等体装置の人一人断面での部分断面図である。

[図17] この発明の他の実施の一形語である絶縁ゲート型半端体験器のB-B断団での部分断面図である。

【図18】この発明のさらに他の実施の一形態である船 緑ゲート型半導体装置の部分平面図である。

【図19】この発明のさらに他の実施の一形語である権 続ゲート型半導体装置の人一人断値での部分断値図であ る。

【図2句】、この発明のさらに他の実施の一形態である槍 縁ゲート型半導体装置のB-B岐面での部分岐面図であ ・る。

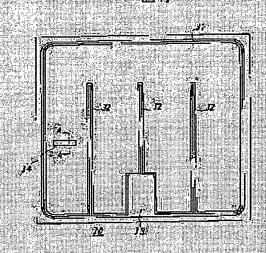
【図2】】この発明のさらに他の集殖の一形態である語 縁ゲート型半導体装置の部分平面図である。

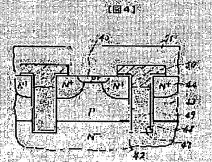
【図2.2】この発明のさらに他の実施の一形態である婚 録が一ト型半導体装置の人一人が面での部分所面図であ る。

【図23】この発明の他の実施の一形態である絶縁ゲート型半導体装置のB一B断面での部分断面図である。 【図24】この発明の他の実施の一形態である絶縁ゲー

ト型半導体装置の製造工程の素子の部分断面図である。 【図25】この発明の他の実施の一形態である発験ゲー

रिज्ञे । โ





ト型半導体装置の製造工程の集子の部分断面図である。 【図25】従来の路縁ゲート型半導体装置の部分断面図である。

【図27】従来の他の妊婦ケート型半導体装置の部分断 面図である。

【図28】従来の他の絶縁ゲート型半等体装置のコンタ グトマージンを示した模式図である。

【図29】位来のさらに他の絶縁ケード型半導体装置の 部分断面図である。

【図30】従来のさらに他の経緯ゲード型半導体装置の サイド拡散を示した接式図である。

【符号の説明】

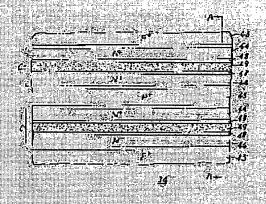
 4-1
 R・ロレクタ目
 4-2
 N・目
 1-4-3
 P・半

 ベース目
 4-4 N・エミッタ領域
 4-5
 P・半

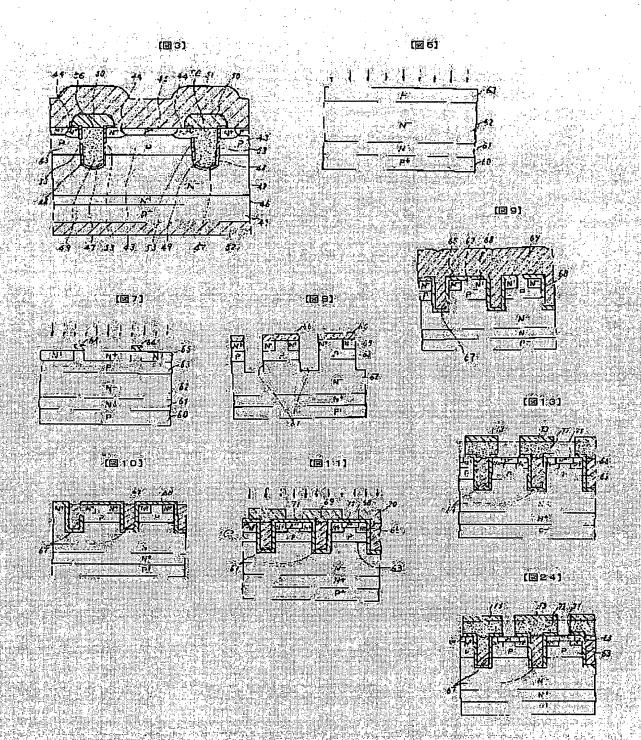
 海水目
 1-7
 内里
 4-8
 ゲード電域
 5-1
 エミッタ電域
 5-2

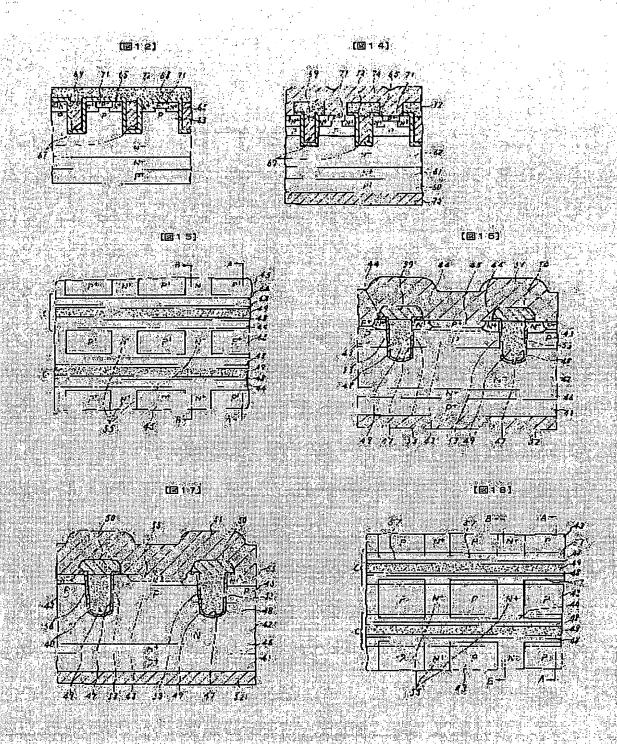
 2
 コルクタ電域
 50
 月間路線

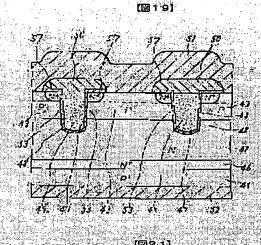
[88]

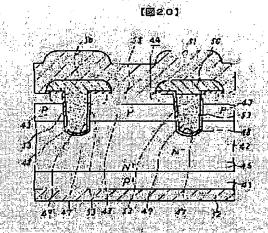


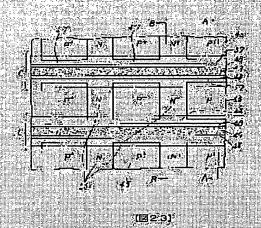
(**25**)

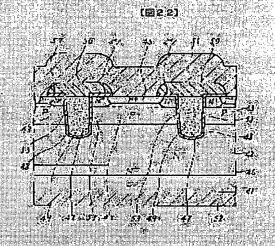


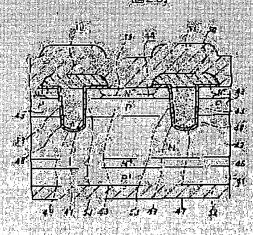


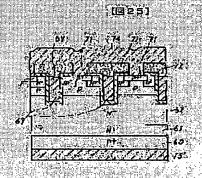


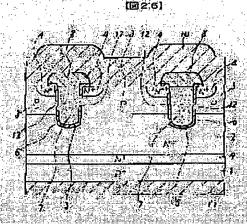


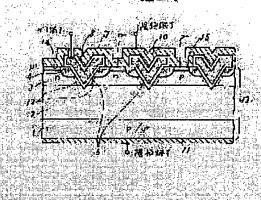


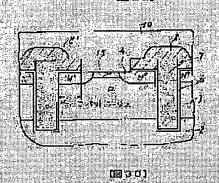


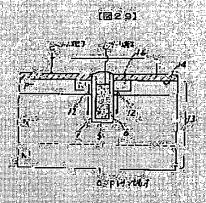


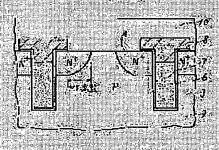












This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER:

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.